

---

# EM78P173N

8位  
微控制器

## 产品规格书

版本 1.0

义隆电子股份有限公司

2010.04

本文内容是由英文规格书翻译而来，目的是为了您的阅读更加方便。它无法跟随原稿的更新，文中可能存在翻译上的错误，请您参考英文规格书以获得更准确的信息。

---



#### 商标告知:

IBM 为一个注册商标, PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2009~2010 义隆电子股份有限公司

#### 所有权利保留

台湾印制

本规格书内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性, 义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本规格书之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下, 义隆电子股份有限公司对本规格书中的信息或内容的错误、遗漏, 或者其它不准确性不承担任何责任。由于使用本规格书中的信息或内容而导致的直接, 间接, 特别附随的或结果的损害, 义隆电子股份有限公司没有义务负责。

本规格书中提到的软件 (如果有), 都是依据授权或保密合约所合法提供的, 并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具, 装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意, 任何个人或公司不得以任何形式或方式对本规格书的内容之任一部分进行复制或传输。



#### 义隆电子股份有限公司

##### 总公司:

地址: 台湾新竹科学园区  
创新一路 12 号  
电话: +886 3 563-9977  
传真: +886 3 563-9966  
[webmaster@emc.com.tw](mailto:webmaster@emc.com.tw)  
<http://www.emc.com.tw>

##### 香港分公司:

义隆电子 (香港) 有限公司  
九龙观塘巧明街 95 号世达中心  
19 楼 A 室  
电话: +852 2723-3376  
传真: +852 2723-7780

##### USA:

Elan Information  
Technology Group (USA)  
P.O. Box 601  
Cupertino, CA 95015  
USA  
Tel: +1 408 366-8225  
Fax: +1 408 366-8225

##### Korea:

Elan Korea Electronics  
Company, Ltd.  
301 Dong-A Building  
632 Kojan-Dong,  
Namdong-ku  
Incheon City, KOREA  
Tel: +82 32 814-7730  
Fax: +82 32 813-7730

##### 深圳分公司:

义隆电子 (深圳) 有限公司  
地址: 深圳市高新技术产业园南区  
高新南一道国微大厦 3F  
邮编: 518057  
电话: +86 755 2601-0565  
传真: +86 755 2601-0500  
[elan-sz@elanic.com.cn](mailto:elan-sz@elanic.com.cn)

##### 上海分公司:

义隆电子 (上海) 有限公司  
地址: 上海市浦东新区张江高科  
升路 289 弄 3 号 101 室  
邮编: 201203  
电话: +86 21 5080-3866  
传真: +86 21 5080-0273  
[elan-sh@elanic.com.cn](mailto:elan-sh@elanic.com.cn)

# 目录

1	综述 .....	1
2	产品特性.....	1
3	引脚分配.....	2
4	引脚描述.....	3
4.1	EM78P173N-14PIN .....	3
4.2	EM78P173N-10PIN .....	4
5	功能结构图 .....	5
6	功能描述.....	6
6.1	操作寄存器 .....	6
6.1.1	R0 (间接寻址寄存器) .....	6
6.1.2	R1 (定时/计数器).....	6
6.1.3	R2 (程序计数器和堆栈).....	6
6.1.4	R3 (状态寄存器).....	7
6.1.5	R4 (RAM 选择寄存器).....	8
6.1.6	R5 ~ R6 (Port 5 ~ Port 6).....	8
6.1.7	Bank 0 RE (LVD 控制寄存器) .....	8
6.1.8	Bank 0 RF (中断状态寄存器).....	9
6.1.9	Bank 1 R5 (TBHP: TBRD 指令的查表指针寄存器) .....	9
6.1.10	Bank 1 R6 (TBLP: TBRD 指令的查表指针寄存器).....	9
6.1.11	Bank 1 RE (LVD 中断和唤醒寄存器).....	9
6.1.12	Bank 1 RF (系统控制寄存器).....	10
6.1.13	R10 ~ R3F .....	13
6.2	Special Function Registers .....	13
6.2.1	A (累加器) .....	13
6.2.2	CONT (控制寄存器) .....	13
6.2.3	IOC5 ~ IOC6 (I/O 口控制寄存器).....	14
6.2.4	IOCB (下拉控制寄存器) .....	14
6.2.5	IOCC (漏极开路控制寄存器).....	15
6.2.6	IOCD (上拉控制寄存器) .....	15
6.2.7	IOCE (WDT 控制寄存器) .....	16
6.2.8	IOCF (中断屏蔽寄存器) .....	16
6.3	TCC/WDT & 预分频器 .....	17
6.4	I/O Ports .....	17
6.5	复位和唤醒 .....	20
6.5.1	复位.....	20
6.5.2	唤醒和中断模式操作概述 .....	22
6.5.3	寄存器初始值总结 .....	23
6.5.4	状态寄存器的 RST,T 和 P 的状态.....	25
6.6	中断 .....	27

6.7	振荡器.....	28
6.7.1	振荡模式 .....	28
6.7.2	晶体振荡器/陶瓷谐振器 (晶体).....	29
6.7.3	外部 RC 振荡模式.....	31
6.7.4	内部 RC 振荡模式.....	32
6.8	代码选项寄存器 .....	32
6.8.1	代码选项寄存器(Word 0).....	32
6.9	上电探讨.....	35
6.10	编程设置 WDT 振荡器启动周期 .....	35
6.11	外部上电复位电路.....	35
6.12	残留电压保护.....	36
6.13	低电压检测 .....	37
6.13.1	低电压复位 (LVR).....	37
6.13.2	低电压检测 (LVD).....	37
6.13.2.1	Bank 0 RE (LVD 控制寄存器) .....	37
6.13.2.2	Bank 1 RE (LVD 中断和唤醒寄存器) .....	37
6.13.3	编程步骤 .....	38
6.14	指令集.....	40
7	最大绝对值.....	43
8	电气特性.....	43
8.1	直流电气特性.....	43
8.2	交流电气特性.....	45
9	时序图 .....	46
附录		
A	封装类型.....	47
B	封装信息.....	48

### 规格修订历史

版本	修改描述	日期
0.9	初版	2010/03/24
1.0	首发版本	2010/04/20

## 1 综述

EM78P173N 是采用低功耗高速 CMOS 工艺设计开发的 8 位微控制器。它的内部有一个 1K\*13 位一次性可编程只读存储器(OTP-ROM)。它提供一个保护位用于防止用户在 OTP-ROM 中的程序被盗取；拥有 3 个代码选项字以满足用户定制代码功能的需要。

利用其 OTP-ROM 特性，EM78P173N 可以使用户方便的开发和校验程序，而且此 OTP 设备通过使用开发和编程工具提供了便捷的程序更新的优势。而使用‘义隆烧录器’能便捷完成 IC 程序烧录工作。

## 2 产品特性

### ■ CPU配置

- 1K × 13 位片内 ROM
- 48×8位片内寄存器 (SRAM，通用寄存器)
- 5级堆栈用于子程序嵌套
- 4 级可编程电压检测电平  
LVD : 4.5, 4.0, 3.3, 2.2V
- 3 级可编程低电压复位电平  
LVR : 4.0, 3.5, 2.7V
- 小于 1.5mA @ 5V/4MHz
- 典型值为 15 μA, @3V/32KHz
- 休眠模式下的典型值为 1 μA。

### ■ I/O 端口配置

- 2 组双向I/O端口: P5,P6
- 12 个I/O 引脚
- 唤醒端口: P6
- 7个可编程下拉I/O引脚
- 7个可编程上拉I/O引脚
- 7个可编程漏极开路I/O引脚
- 外部中断唤醒 : P60

### ■ 工作电压范围:

- 2.1V~5.5V @ 0~70°C (商规)
- 2.3V~5.5V @ -40~85°C (工规)

### ■ 工作频率范围 (基于2个时钟周期):

- 晶体模式:  
DC~20MHz/2clks @ 5V  
DC~8MHz/2clks @ 3V  
DC~4MHz/2clks @ 2.1V
- ERC模式:  
DC~2 MHz/2clks @ 2.1V

### • IRC 模式:

内部 RC 频率	偏移率			
	温度 (-40°C~85°C)	电压 (2.1V~5.5V)	制程	总计
4 MHz	± 2%	± 3%	± 2%	± 7%
16 MHz	± 2%	± 3%	± 2%	± 7%
8 MHz	± 2%	± 3%	± 2%	± 7%
1 MHz	± 2%	± 3%	± 2%	± 7%

### ■ 外设配置

- 8位实时时钟/计数器 (TCC)，可编程选择其信号源、触发边沿，溢出产生中断
- 外部中断输入引脚
- 通过配置寄存器选择2/4 时钟每个指令周期
- 省电模式 (休眠模式)
- 高抗EFT特性

### ■ 四种中断源:

- TCC 溢出中断
- 输入端口状态改变中断
- 外部中断
- 低电压检测中断

### ■ 专有特性

- 自由运行的可编程看门狗定时器
- 上电电压检测 (1.8~1.9V)

### ■ 封装类型:

- 14引脚DIP 300mil : EM78P173ND14J/S
- 14引脚SOP 150mil : EM78P173NSO14J/S
- 10引脚MSOP 118mil : EM78P173NMS10J/S

注: 绿色产品不含有害物质.

### 3 引脚分配

(1) 14-Pin DIP/SOP

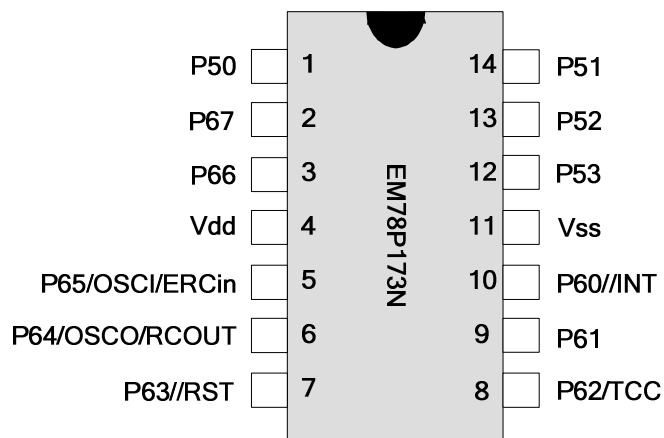


图 3-1 14-pin EM78P173N

(2) 10-Pin MSOP

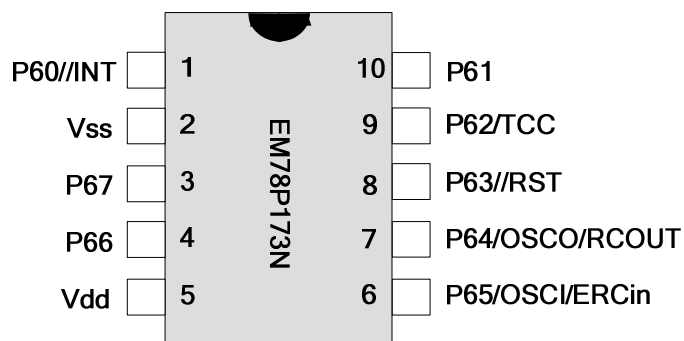


图 3-2 10-pin EM78P173N

## 4 引脚描述

### 4.1 EM78P173N-14PIN

引脚名称	功能	输入类型	输出类型	描述
P50~P52	P50~P52	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉.
P53	P53	ST	CMOS	双向 I/O 端口
P60//INT	P60	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路和输入状态改变唤醒.
	/INT	ST	-	外部中断信号输入引脚
P61	P61	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路和输入状态改变唤醒.
P62/TCC	P62	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路和输入状态改变唤醒.
	TCC	ST	-	实时时钟/计数器时钟信号输入引脚
P63//RESET	P63	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉和输入状态改变唤醒.
	/RESET	ST	-	内部上拉复位引脚
P64/OSCO/RCOUT	P64	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路和输入状态改变唤醒.
	OSCO	-	XTAL	晶体振荡器的时钟信号输出引脚
	RCOUT	-	CMOS	内部 RC 振荡器时钟信号输出引脚 外部 RC 振荡器时钟信号输出引脚(开漏)
P65/OSCI/ERCin	P65	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路和输入状态改变唤醒
	OSCI	XTAL	-	晶体振荡器时钟信号输入引脚
	ERCin	AN	-	外部 RC 信号输入引脚
P66~P67	P66~P67	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路和输入状态改变唤醒
VDD	VDD	电源	-	电源正极
VSS	VSS	电源	-	电源地

惯例: ST: 施密特触发器输入, AN: 模拟输入引脚, CMOS: CMOS 输出引脚,

XTAL: 晶体振荡器引脚

## 4.2 EM78P173N-10PIN

引脚名称	功能	输入类型	输出类型	描述
P60//INT	P60	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路 and 输入状态改变唤醒.
	/INT	ST	-	外部中断信号输入引脚
P61	P61	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路 and 输入状态改变唤醒.
P62/TCC	P62	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉,内部上拉,漏极开路 and 输入状态改变唤醒.
	TCC	ST	-	实时时钟/计数器时钟信号输入引脚
P63//RESET	P63	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部下拉 and 输入状态改变唤醒
	/RESET	ST	-	内部上拉复位引脚
P64/OSCO/RCOUT	P64	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路 and 输入状态改变唤醒.
	OSCO	-	XTAL	晶体振荡器的时钟信号输出引脚
	RCOUT	-	CMOS	内部 RC 振荡器时钟信号输出引脚 外部 RC 振荡器时钟信号输出引脚 (开漏)
P65/OSCI/ERCin	P65	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路 and 输入状态改变唤醒..
	OSCI	XTAL	-	晶体振荡器时钟信号输入引脚
	ERCin	AN	-	外部 RC 信号输入引脚
P66~P67	P66~P67	ST	CMOS	双向 I/O 端口,通过软件编程可设置为内部上拉,漏极开路 and 输入状态改变唤醒
VDD	VDD	电源	-	电源正极
VSS	VSS	电源	-	电源地

惯例: ST: 施密特触发器输入, AN: 模拟输入引脚, CMOS: CMOS 输出引脚,

XTAL: 晶体振荡器引脚



## 5 功能结构图

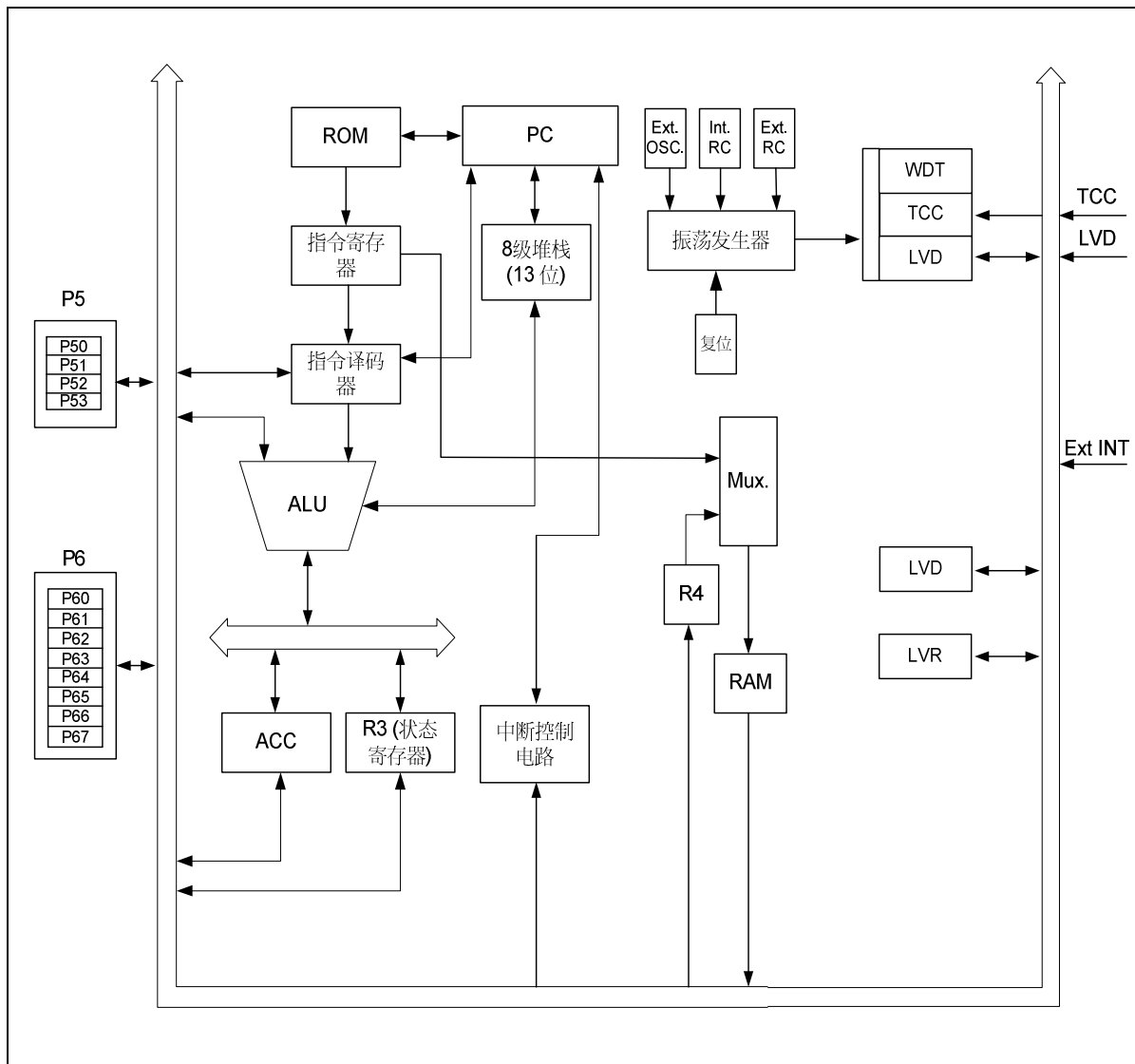


图 5-1 EM78P173N功能结构图

## 6 功能描述

### 6.1 操作寄存器

#### 6.1.1 R0 (间接寻址寄存器)

R0并不是实际的物理寄存器。它的主要功能是作为间接寻址指针。任何把R0用作指针的指令实际上是对R4所指向的RAM寄存器进行操作。

#### 6.1.2 R1 (定时/计数器)

- TCC引脚的外部信号边沿或内部指令周期时钟触发(由CONT寄存器的TE位设定)，会使TCC寄存器加1。
- 像其它寄存器一样可读/写。
- 通过复位PAB 位(CONT-3)设定。
- 如果PAB 位 (CONT-3) 被复位，预分频器分配给TCC。
- 写入一个值到TCC寄存器后，TCC计数器的内容会被刷新。

#### 6.1.3 R2 (程序计数器和堆栈)

- 根据具体的器件类型，R2和硬件堆栈为10位宽。下面图中描绘了相关结构。

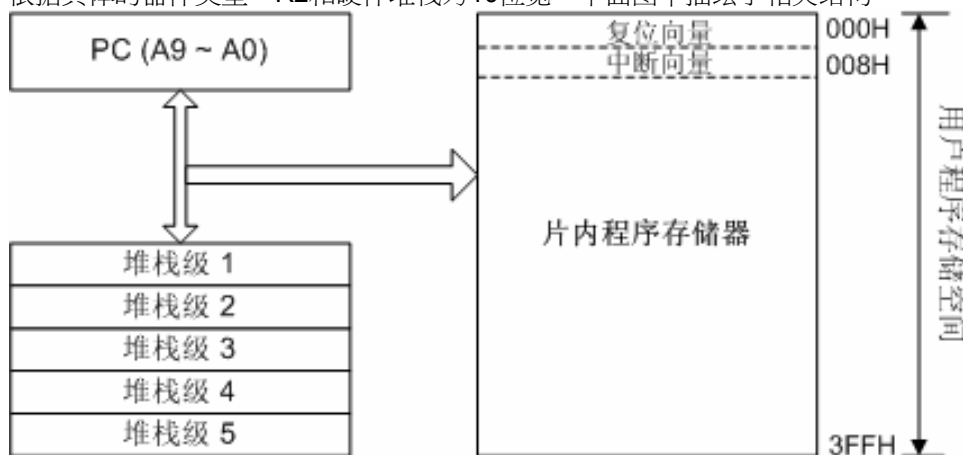


图 6-1 程序计数器组织图

- 当 ICE300N 要仿真 EM78P173N堆栈或仿堆栈超过5级时，仿真结果将与EM78P173N的不一致。
- 生成1024×13 位程序指令代码的片内OTP ROM地址。一个程序页为1024字长。
- 复位条件下，R2所有位均清“0”。
- "JMP" 指令直接加载程序计数器的低10位。因此，"JMP" 允许PC跳转到一个程序页的任何位置。

- "CALL" 指令首先加载PC的低10位，然后将PC+1推入堆栈。因此，子程序的入口地址可位于一个程序页的任何位置。
- "RET" ("RETL k", "RETI") 加载栈顶值到程序计数器 (PC) 中。
- "ADD R2,A" 允许将'A'寄存器的值加到当前PC，PC的第9和第10位依次增加。
- "MOV R2,A" 允许从A寄存器中加载一个地址值到PC的低8位，PC的第9和第10位保持不变。

执行任何(例如："MOV R2, A", "BC R2, 6"等)对R2进行写入操作的指令(除"ADD R2,A"外)，PC的第九位及第十位(A8 ~ A11)都会保持不变。

- 除了那些改变R2内容的指令需要多于一个指令周期外，所有指令都是单指令周期(fclk/2或fclk/4)。

地址	寄存器 Bank 0	寄存器 Bank 1	控制寄存器
01	R1 (TCC 缓冲器)		
02	R2 (PC)		
03	R3 (状态寄存器)		
04	R4 (RSR, bank 选择寄存器)	R4(6) →	
05	R5 (Port 5 I/O 数据寄存器)	R5 (TBHP)	IOC50 (Port 5 I/O 控制寄存器)
06	R6 (Port 6 I/O 数据寄存器)	R6 (TBLP)	IOC60 (Port 6 I/O 控制寄存器)
07	R7 (保留)	R7 (保留)	IOC70 (保留)
08	R8 (保留)	R8 (保留)	IOC80 (保留)
09	R9 (保留)	R9 (保留)	IOC90 (保留)
0A	RA (保留)	RA (保留)	IOCA0 (保留)
0B	RB (保留)	RB (保留)	IOCB0 (下拉控制寄存器)
0C	RC (保留)	RC (保留)	IOCC0 (漏极开路控制寄存器)
0D	RD (保留)	RC (保留)	IOCD0 (上拉控制寄存器)
0E	RE (LVD 控制寄存器)	RE (LVD 中断 & 唤醒寄存器)	IOCE0 (WDT 控制寄存器)
0F	RF (ISR)	RF (系统控制寄存器)	IOCF0 (IMR)
10	16位通用寄存器		
1F			
20	32位通用寄存器		
3F			

图 6-2 数据存储配置

#### 6.1.4 R3 (状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	GP1	GP0	T	P	Z	DC	C

**Bit 7 (RST):** 复位类型标志位

**0:** 代表其它复位类型引发唤醒复位方式

1: 代表引脚状态改变，外部中断或低电压检测中断引发控制器从休眠模式唤醒方式

**Bits 6 ~ 5 (GP1 ~ GP0):** 通用可读/写位

**Bit 4 (T):** 时间溢出标志位

执行"SLEP"和"WDT"指令或上电时置"1"，WDT 溢出时复位为"0"。

**Bit 3 (P):** 省电标志位

上电或执行"WDT"指令时置"1"，执行"SLEP"指令时复位为"0"。

**Bit 2 (Z):** 零标志位

当算术或逻辑运算的结果为 0 时置"1"。

**Bit 1 (DC):** 辅助进位标志位

**Bit 0 (C):** 进位标志位

### 6.1.5 R4 (RAM选择寄存器)

**Bit 7:** 通用可读/写位

**Bit 6:** Banks 0~1 选择位

见图 6-2 数据存储配置。

### 6.1.6 R5 ~ R6 (Port 5 ~ Port 6)

R5 和 R6 为 I/O 寄存器

R5寄存器仅低4位可用。

R5寄存器的高4位可读/写。

### 6.1.7 Bank 0 RE (LVD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	-	-	-	-	-	LVDWE

**Bit 7 (/LVD):** 低电压检测状态标志位。

当 VDD 引脚电压低于 LVD 中断电平 (通过 LVD1 和 LVD0 选择), 此位清 0.

**0:** 检测到低电压

**1:** 没有检测到低电压或 LVD 功能被禁止

**Bit 6 (LVDIF):** LVD 中断标志位。

**0:** 没有发生中断

**1:** 发生中断

**Bits 5 ~ 1:** 保留. 置 "0".

**Bit 0 (LVDWE):** 低电压检测唤醒使能位。

**0:** 禁止低电压检测唤醒

**1: 使能低电压检测唤醒**
**6.1.8 Bank 0 RF (中断状态寄存器)**

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIF	ICIF	TCIF

**注意**

“1”表示发生中断 “0”表示没有中断发生

**Bits 7 ~ 3:** 保留. 置“0”.

**Bit 2 (EXIF):** 外断中断标志位. 由/INT 引脚信号的下降沿触发置 1, 由软件清零

**Bit 1 (ICIF):** Port 6 输入状态改变中断标志位。Port 6 输入状态改变时触发置 1, 由软件清零.

**Bit 0 (TCIF):** TCC 溢出中断标志位。TCC 溢出时置 1, 由软件清零

RF 可用指令清零但不能用指令置位

IOCF寄存器为中断屏蔽寄存器

**注意**

从RF寄存器中读取的值为RF值和IOCF值“逻辑与”的结果。

**6.1.9 Bank 1 R5 (TBHP: TBRD指令的查表指针寄存器)**

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	-	-	-	-	-	RBit9	RBit8

**Bit 7 (MLB):** 从机器码中提取 MLB 或 LSB

机器码为 TBLP 和 TBHP 寄存器所指定的.

**Bits 6 ~ 2:** 保留. 置“0”.

**Bits 1 ~ 0:** 查表指针高 2 位地址

**6.1.10 Bank 1 R6 (TBLP: TBRD指令的查表指针寄存器)**

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0

**Bits 7 ~ 0:** 查表指针低 8 位地址.

**6.1.11 Bank 1 RE (LVD中断和唤醒寄存器)**

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD1	LVD0	-	-	-	EXWE

**Bit 7 (LVDIE):** 低电压检测中断使能位

**0:** 禁止低电压检测中断

1: 使能低电压检测中断

**Bit 6 (LVDEN):** 低电压检测使能位

0: 禁止 LVD

1: 使能 LVD

**Bits 5 ~ 4:** 低电压检测电平选择位

LVDEN	LVD1, LVD0	LVD 电压中断电平	/LVD
1	11	$V_{dd} \leq 2.2V$	0
		$V_{dd} > 2.2V$	1
1	10	$V_{dd} \leq 3.3V$	0
		$V_{dd} > 3.3V$	1
1	01	$V_{dd} \leq 4.0V$	0
		$V_{dd} > 4.0V$	1
1	00	$V_{dd} \leq 4.5V$	0
		$V_{dd} > 4.5V$	1
0	xx	N/A	1

**注意**

当  $V_{dd}$  电压波动时电平低于 LVD 中断电平, LVD 中断发生.

**Bits 3 ~ 1:** 保留. 置 "0".

**Bit 0 (EXWE):** 外部 /INT 唤醒使能位

0: 禁止外部 /INT 引脚唤醒

1: 使能外部 /INT 引脚唤醒

### 6.1.12 Bank 1 RF (系统控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	-	-	RCM1	RCM0

**Bits 7, 3 ~ 2:** 保留, 置 "0".

**Bit 6 (TIMERSC):** TCC 时钟源选择位

0:  $F_c$  为  $F_s$

1:  $F_c$  为  $F_m/2$  or  $F_m/4$  (默认)

**Bit 5 (CPUS):** CPU 振荡源选择位

0:  $F_s$  :为 WDT 内部 RC 提供 16kHz 时基的副频

1:  $F_m$  : 主振荡器 ( $F_m$ ) (默认)

当  $CPUS=0$ , CPU 振荡器选择副振荡器, 主振荡器停振

**Bit 4 (IDLE):** 空闲模式使能位

执行 SLEEP 指令, 此位决定选择进入哪种模式.

0: 空闲 = '0' + SLEEP 指令 → 休眠模式 (默认)

1: 空闲 = '1' + SLEEP 指令 → 空闲模式

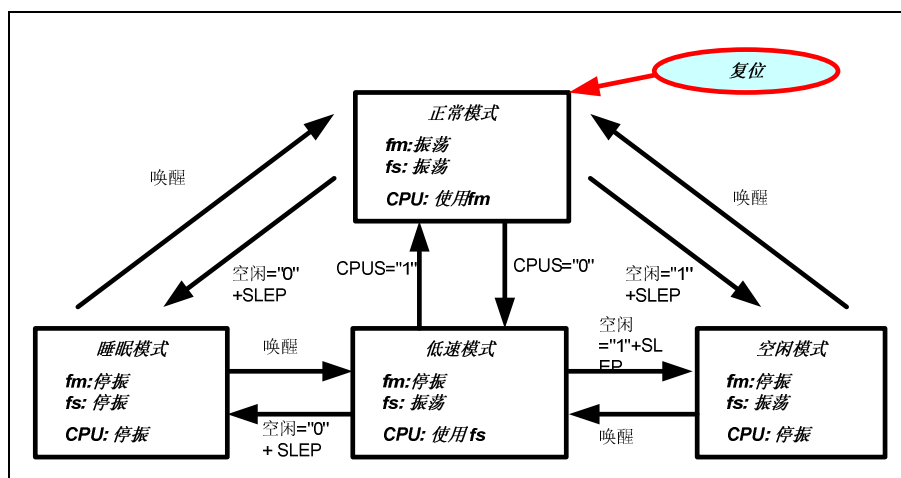


图 6-3 CPU工作模式

振荡器 (正常模式振荡源)	CPU 模式状态	振荡器稳定 振荡时间 (S) <sup>1</sup>	正常/低速模式计数 (CLK) <sup>2</sup>
晶体振荡器 1M ~ 20 MHz	休眠/空闲 → 正常	0.5 ms ~ 2 ms	510 CLK
	低速 → 正常		510 CLK
	休眠/空闲 → 低速	< 100 μs	8 CLK
ERC 2 MHz	休眠/空闲 → 正常	< 5 μs	8 CLK
	低速 → 正常		
	休眠/空闲 → 低速	< 100 μs	
IRC 1M, 4M, 8M, 16 MHz	休眠/空闲 → 正常	< 2 μs	8 CLK
	低速 → 正常		
	休眠/空闲 → 低速	< 100 μs	

**注意**

- <sup>1</sup> 振荡器稳定时间依赖振荡器的特性.
- <sup>2</sup> 振荡器稳定振荡时, CPU 将在正常/低速模式下计数 510/8 CLK后继续在正常/低速模式下工作.  
 Ex 1 : 4 MHz IRC从休眠模式唤醒至正常模式总的唤醒时间为 2 μs + 8 CLK @ 4 MHz.  
 Ex 2 : 4 MHz IRC从休眠模式唤醒至低速模式总的唤醒时间为 100 μs + 8 CLK @ 16kHz.

Bits 1 ~ 0 (RCM1 ~ RCM0): IRC 模式选择位.

RCM 1	RCM 0	频率 (MHz)
1	1	4
1	0	16
0	1	8
0	0	1

Bank 1 RF<1, 0> 将使能.

烧录器校准 IRC	Bank 1 RF<1, 0>		频率	工作电压范围	稳定时间
	RCM1	RCM0			
4 MHz	1	1	<b>4 MHz ± 2%</b>	2.1V ~ 5.5V	< 5 μs
	1	0	16 MHz ± 10%	4.5V ~ 5.5V	< 1.5 μs
	0	1	8 MHz ± 10%	3.0V ~ 5.5V	< 3 μs
	0	0	1 MHz ± 10%	2.1V ~ 5.5V	< 24 μs
16 MHz	1	1	4 MHz ± 10%	2.1V ~ 5.5V	< 6 μs
	1	0	<b>16 MHz ± 2%</b>	4.5V ~ 5.5V	< 1.25 μs
	0	1	8 MHz ± 10%	3.0V ~ 5.5V	< 3 μs
	0	0	1 MHz ± 10%	2.1V ~ 5.5V	< 24 μs
8 MHz	1	1	4 MHz ± 10%	2.1V ~ 5.5V	< 6 μs
	1	0	16 MHz ± 10%	4.5V ~ 5.5V	< 1.5 μs
	0	1	<b>8 MHz ± 2%</b>	3.0V ~ 5.5V	< 2.5 μs
	0	0	1 MHz ± 10%	2.1V ~ 5.5V	< 24 μs
1 MHz	1	1	4 MHz ± 10%	2.1V ~ 5.5V	< 6 μs
	1	0	16 MHz ± 10%	4.5V ~ 5.5V	< 1.5 μs
	0	1	8 MHz ± 10%	3.0V ~ 5.5V	< 3 μs
	0	0	<b>1 MHz ± 2%</b>	2.1V ~ 5.5V	< 20 μs

**注意**

- Bank1 RF<1,0>的初始值 保持与Word 1<6,5>的一致.
- 如果用户把IRC 频率从 A 频率 改变为 B 频率, MCU 需要等待一段时间才工作. 等待时间与 B 频率相当.

例如:

步骤1 当用在烧录器中选择 4 MHz, Bank 1 RF<1,0> 的初始值为“11”, 与 Word 1<6,5> 的值一致, 也是“11”.

如果 MCU 正在全速运行, 它将在4 MHz ± 2%下工作. 参考下表.

烧录器校准 IRC	Bank 1 RF<1, 0>		频率	工作电压范围	稳定时间
	RCM1	RCM0			
4 MHz	1	1	<b>4 MHz ± 2%</b>	2.1V ~ 5.5V	< 5 μs
	1	0	16 MHz ± 10%	4.5V ~ 5.5V	< 1.5 μs
	0	1	8 MHz ± 10%	3.0V ~ 5.5V	< 3 μs
	0	0	1MHz ± 10%	2.1V ~ 5.5V	< 24 μs



步骤2 当MCU工作在 $4\text{ MHz} \pm 2\%$ 下，如果要设置Bank 1 RF<1,0> = “10”，MCU 需要等待 $1.5\ \mu\text{s}$ ，然后继续在 $16\text{ MHz} \pm 10\%$ 下工作。

烧录器校准 IRC	Bank 1 RF<1, 0>		频率	工作电压范围	稳定时间
	RCM1	RCM0			
4 MHz	1	1	$4\text{ MHz} \pm 2\%$	2.1V ~ 5.5V	< $5\ \mu\text{s}$
	1	0	<b><math>16\text{ MHz} \pm 10\%</math></b>	4.5V ~ 5.5V	< $1.5\ \mu\text{s}$
	0	1	$8\text{ MHz} \pm 10\%$	3.0V ~ 5.5V	< $3\ \mu\text{s}$
	0	0	$1\text{ MHz} \pm 10\%$	2.1V ~ 5.5V	< $24\ \mu\text{s}$

步骤3 当MCU工作在 $16\text{ MHz} \pm 10\%$ 下，如果要设置Bank 1 RF<1,0> = “00”，MCU 需要等待 $24\ \mu\text{s}$ ，然后继续在 $1\text{ MHz} \pm 10\%$ 下工作。

烧录器校准 IRC	Bank 1 RF<1, 0>		频率	工作电压范围	稳定时间
	RCM1	RCM0			
4 MHz	1	1	$4\text{ MHz} \pm 2\%$	2.1V ~ 5.5V	< $5\ \mu\text{s}$
	1	0	$16\text{ MHz} \pm 10\%$	4.5V ~ 5.5V	< $1.5\ \mu\text{s}$
	0	1	$8\text{ MHz} \pm 10\%$	3.0V ~ 5.5V	< $3\ \mu\text{s}$
	0	0	<b><math>1\text{ MHz} \pm 10\%</math></b>	2.1V ~ 5.5V	< $24\ \mu\text{s}$

步骤4 当MCU工作在 $1\text{ MHz} \pm 10\%$ 下，如果要设置Bank 1 RF<1,0> = “11”，MCU 要等待 $5\ \mu\text{s}$ ，然后继续在 $4\text{ MHz} \pm 2\%$ 下工作。

烧录器校准 IRC	Bank 1 RF<1, 0>		频率	工作电压范围	稳定时间
	RCM1	RCM0			
4 MHz	1	1	<b><math>4\text{ MHz} \pm 2\%</math></b>	2.1V ~ 5.5V	< $5\ \mu\text{s}$
	1	0	$16\text{ MHz} \pm 10\%$	4.5V ~ 5.5V	< $1.5\ \mu\text{s}$
	0	1	$8\text{ MHz} \pm 10\%$	3.0V ~ 5.5V	< $3\ \mu\text{s}$
	0	0	$1\text{ MHz} \pm 10\%$	2.1V ~ 5.5V	< $24\ \mu\text{s}$

### 6.1.13 R10 ~ R3F

全都是 8位通用寄存器。

## 6.2 Special Function Registers

### 6.2.1 A (累加器)

用于内部数据传送或指令操作数暂存,它不可被寻址。

### 6.2.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GP	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit 7 (GP): 通用寄存器。

Bit 6 (INT): 中断使能标志位

0: 通过 DISI 或硬件屏蔽中断

1: 通过 ENI/RETI 指令使能

**Bit 5 (TS):** TCC 时钟源选择位

0: 内部指令周期时钟, P62 为双向 I/O 引脚

1: TCC 引脚输入的时钟信号

**Bit 4 (TE):** TCC 信号边沿触发类型选择位

0: TCC 引脚信号由低变到高时 TCC 计数器加 1

1: TCC 引脚信号由高变到低时 TCC 计数器加 1

**Bit 3 (PAB):** 预分频器分配位

0: TCC

1: WDT

**Bit 2 ~ Bit 0 (PSR2 ~ PSR0):** TCC/WDT 预分频比选择位

PSR2	PSR1	PSR0	TCC 预分频比	WDT 预分频比
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 寄存器可读/写。

### 6.2.3 IOC5 ~ IOC6 (I/O 口控制寄存器)

0: 相关 I/O 引脚设置为输出

1: 相关 I/O 引脚设置为高阻态

IOC5 寄存器仅低 4 位可被有效定义, IOC54~57 寄存器置“0”

### 6.2.4 IOCB (下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PD63	/PD62	/PD61	/PD60	-	/PD52	/PD51	/PD50

**Bit 7 (/PD63):** P63 引脚下拉功能使能控制位。

0: 使能内部下拉功能

1: 禁止内部下拉功能

**Bit 6 (/PD62):** P62 引脚下拉功能使能控制位。

**Bit 5 (/PD61):** P61 引脚下拉功能使能控制位.

**Bit 4 (/PD60):** P60 引脚下拉功能使能控制位.

**Bit 3:** 保留. 置“1” (R/W).

**Bit 2 (/PD52):** P52 引脚下拉功能使能控制位.

**Bit 1 (/PD51):** P51 引脚下拉功能使能控制位.

**Bit 0 (/PD50):** P50 引脚下拉功能使能控制位.

IOCB 寄存器可读/写.

### 6.2.5 IOCC (漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	OD64	-	OD62	OD61	OD60

**Bit 7 (OD67):** P67 引脚漏极开路功能使能控制位.

0: 禁止漏极开路输出

1: 使能漏极开路输出

**Bit 6 (OD66):** P66 引脚漏极开路功能使能控制位.

**Bit 5 (OD65):** P65 引脚漏极开路功能使能控制位.

**Bit 4 (OD64):** P64 引脚漏极开路功能使能控制位.

**Bit 3:** 保留. 置“1” (R/W).

**Bit 2 (OD62):** P62 引脚漏极开路功能使能控制位.

**Bit 1 (OD61):** P61 引脚漏极开路功能使能控制位.

**Bit 0 (OD60):** P60 引脚漏极开路功能使能控制位.

IOCC 寄存器可读/写.

### 6.2.6 IOCD (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	/PH64	-	/PH62	/PH61	/PH60

**Bit 7 (/PH67):** P67 引脚上拉功能使能控制位.

0: 使能内部上拉功能

1: 禁止内部上拉功能

**Bit 6 (/PH66):** P66 引脚上拉功能使能控制位.

**Bit 5 (/PH65):** P65 引脚上拉功能使能控制位.

**Bit 4 (/PH64):** P64 引脚上拉功能使能控制位.

**Bit 3:** 保留. 置“1”(R/W).

**Bit 2 (/PH62):** P62 引脚上拉功能使能控制位.

**Bit 1 (/PH61):** P61 引脚上拉功能使能控制位.

**Bit 0 (/PH60):** P60 引脚上拉功能使能控制位。

IOCD 寄存器可读/写。

### 6.2.7 IOCE (WDT 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	GP	GP	GP	GP	GP	GP

**Bit 7 (WDTE):** 看门狗定时器使能控制位。

0: 禁止 WDT

1: 使能 WDT

**Bit 6 (EIS):** 定义 P60(/INT)引脚功能的控制位。

0: P60, 双向 I/O 引脚。

1: /INT, 外部中断输入引脚。

当 EIS 位为“0”，/INT 通道被屏蔽。当 EIS 为“1”，/INT 引脚状态也可通过读 Port 6 (R6) 寄存器的方式来读取。

参考第 6.4 节的图 6-6。

EIS 可读/写。

WDTE 可读/写。

**Bits 5 ~ 0:** 通用寄存器。

### 6.2.8 IOCF (中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	-	EXIE	ICIE	TCIE

**Bits 7 ~ 3:** 保留。置“1”。

各中断可通过设置 IOCF 寄存器的相应控制位为“1”使能。

全局中断可通过执行 ENI 指令使能 通过执行 DISI 指令禁止 参考图 6-10。

**Bit 2 (EXIE):** EXIF 中断使能位

0: 禁止 EXIF 中断

1: 使能 EXIF 中断

**Bit 1 (ICIE):** ICIF 中断使能位

0: 禁止 ICIF 中断

1: 使能 ICIF 中断

**Bit 0 (TCIE):** TCIF 中断使能位

0: 禁止 TCIF 中断

1: 使能 TCIF 中断

IOCF 可读/写。

### 6.3 TCC/WDT & 预分频器

TCC和WDT共用一个由8位计数器构成的预分频器。在某一时刻，预分频器只能分配给WDT和TCC两者之一，由CONT寄存器的PAB位设置预分频器的分配情况，PSR0~PSR2设置预分频比。在TCC模式下，每次向TCC寄存器写入值都会刷新TCC计数器。在WDT模式下，看门狗定时器由“WDTC”指令清零。图6-4描绘了TCC/WDT的电路图。

- R1 (TCC) 是一个8位定时/计数器。TCC的时钟源可为内部或外部时钟输入(可编程选择TCC引脚信号边沿)。如果TCC时钟源来自内部时钟，TCC寄存器在每个指令周期时钟后增1(未经过预分频器)。可通过代码选项寄存器的CLK位的来设置  $CLK = F_{osc}/2$  或是  $CLK = F_{osc}/4$ ，参考图6-4。CLK位为“0”时， $CLK = F_{osc}/2$ ；CLK位为“1”时， $CLK = F_{osc}/4$ 。如果TCC时钟源来自外部时钟输入，TCC寄存器在TCC引脚的上升沿或下降沿增1。
- 看门狗定时器的时钟源是一个自由运行的片内RC振荡器。即使在其它振荡器关闭的情况下(也就是休眠模式下)，WDT仍将保持运行。在正常运行或休眠模式下，WDT溢出(若WDT使能)将会使器件复位。在正常模式下的任何时刻，WDT都可通过软件编程为使能或禁止，参考IOCE寄存器的WDTE位。不带预分频器时，WDT溢出周期大约为  $18\text{ ms}^1$  (默认)。

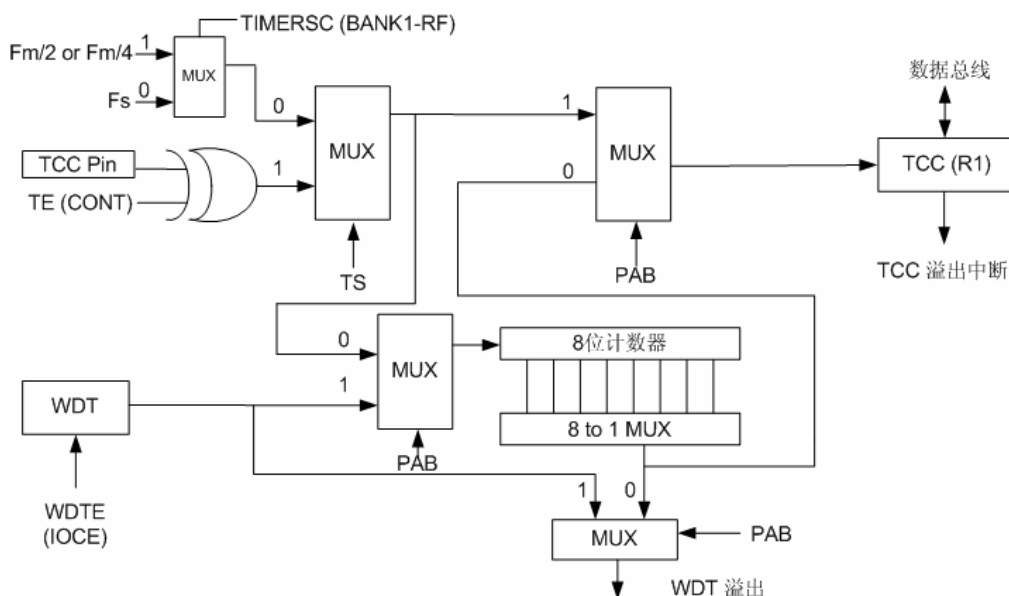


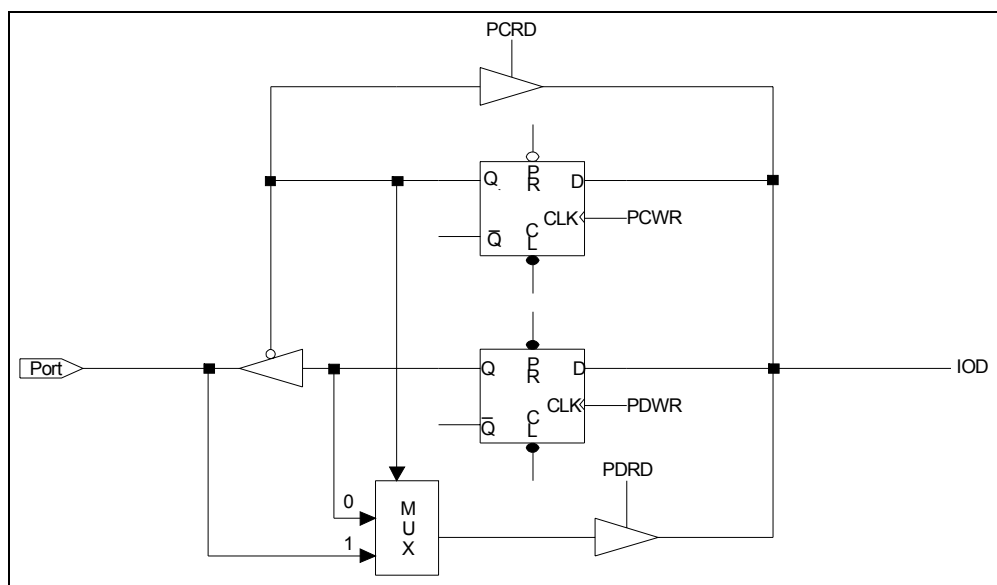
图 6-4 TCC和WDT的结构图

### 6.4 I/O Ports

Port5 和Port6均为双向三态I/O端口。Port 6端口引脚中除P63引脚外，可编程使其内部上拉和漏极开路输出功能；另外，Port 6端口具有输入状态改变中断（或唤醒）功能；P50 ~ P52 和 P60 ~ P63引脚可编程为内部下拉。每个I/O引脚都可通过设置I/O控制寄

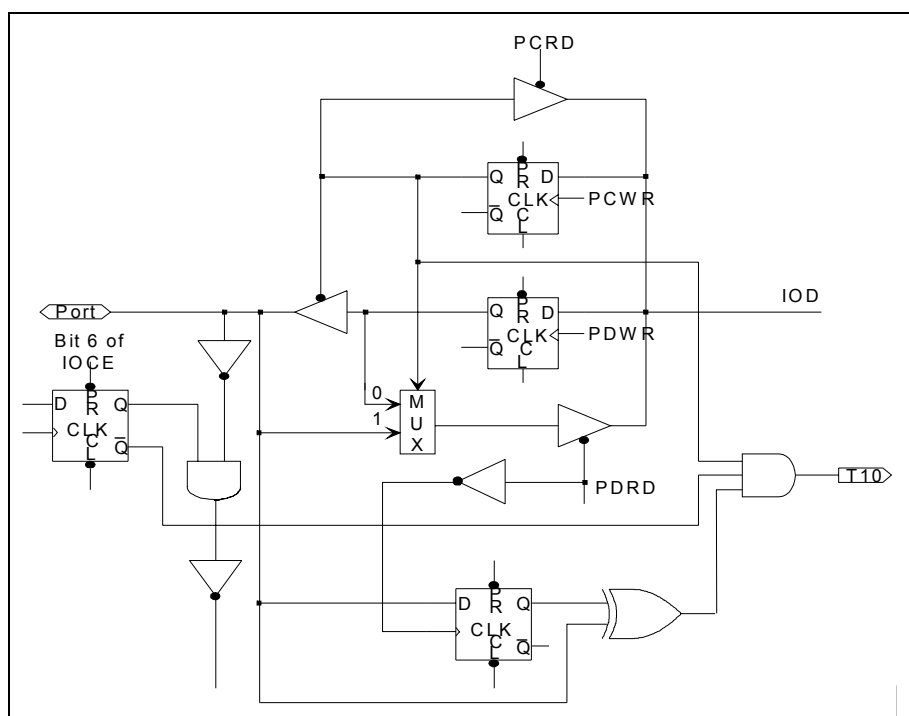
<sup>1</sup> Vdd = 5V, 溢出时间 =  $16.5\text{ms} \pm 30\%$   
 Vdd = 3V, 溢出时间 =  $18\text{ms} \pm 30\%$

寄存器(IOC5 ~ IOC6)的相应位定义为“输入”或“输出”。I/O寄存器和I/O控制寄存器均为可读/写寄存器。图 6-5, 图 6-6 和 图 6-7 分别描绘Port 5和Port 6的I/O接口电路。



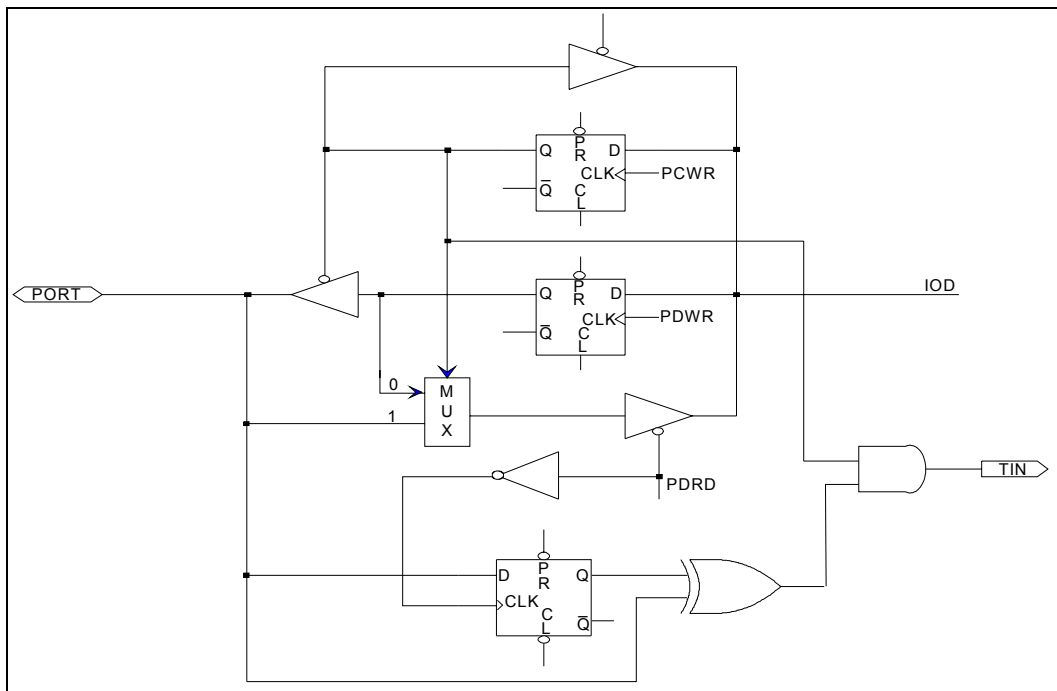
注意: 下拉部分电路未显示在图中。

图 6-5 I/O Port 5, 6的I/O端口和I/O控制寄存器电路



注意: 上拉(下拉)、漏极开路部分电路未显示在图中。

图 6-6 P60(/INT)的I/O端口和I/O控制寄存器电路



注意: 上拉(下拉)、漏极开路部分电路未显示在图中。

图 6-7 P61~P67的I/O端口和I/O控制寄存器电路

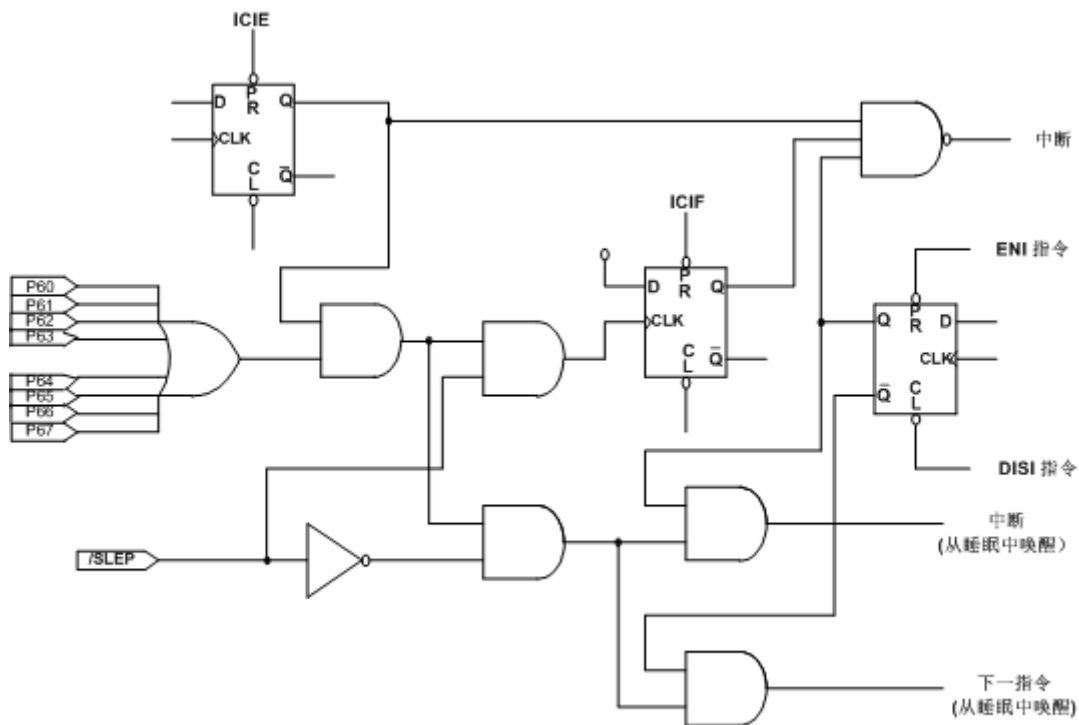


图 6-8 带输入状态改变中断/唤醒的Port 6端口结构图

表 6-1 Port 6 输入状态改变唤醒/中断功能的用法

Port 6 输入状态改变唤醒/中断功能的用法	
<p>(I) Port 6 输入状态改变触发唤醒</p> <p>(a) 休眠前</p> <ol style="list-style-type: none"> <li>1. 禁止 WDT</li> <li>2. 读 Port 6 (MOV R6,R6)</li> <li>3. 执行 "ENI" 或 "DISI"指令</li> <li>4. 使能中断 (IOCF.1 置 1)</li> <li>5. 执行 "SLEP" 指令</li> </ol> <p>(b) 唤醒后</p> <ol style="list-style-type: none"> <li>1. 如果 "ENI" →中断向量 (008H)</li> <li>2. 如果 "DISI" → 下一条指令</li> </ol>	<p>(II) Port 6 输入状态改变中断</p> <ol style="list-style-type: none"> <li>1. 读 Port 6 (MOV R6,R6)</li> <li>2. 执行"ENI"</li> <li>3. 使能中断 (IOCF.1 置 1)</li> <li>4. 如果 Port 6 输入状态改变 (中断) →中断向量 (008H)</li> </ol>

## 6.5 复位和唤醒

### 6.5.1 复位

复位可由以下事件之一引发:

- 1) 上电复位。
- 2) /RESET 引脚输入“低”
- 3) WDT 溢出(若WDT使能)
- 4) 低电压复位

检测到复位状态后，器件将保持在周期大约为18 ms 或150 μs (事件 1 和4 约为 18 ms ，事件 2, 3 约为 150 μs) 的复位状态下。一旦产生复位，以下操作将被执行。

- 振荡器运行或起振。
- 程序计数器 (R2) 所有位都设置为“0”。
- 所有I/O端口引脚被配置为输入模式(高阻态)。
- 看门狗定时器和预分频器清零。
- 上电后，R3寄存器的高3位清零。
- CONT寄存器中，除Bit 6 (INT 标志位)外，其它所有位都置为“1”。
- IOCB寄存器的所有位置为“1”。
- IOCC 寄存器清零。
- IOCD 寄存器的所有位置为“1”。
- IOCE寄存器的Bit 7置“1”， Bit 6 清零。
- RF寄存器的 Bits 0~2 和 IOCF 寄存器的bits 0~2 清零。



执行“SLEP”指令后进入休眠模式（省电模式）。进入休眠模式后，WDT（若使能）清零但继续保持运行。在 IRC 模式下唤醒 (IRC 4 MHz / 5V), 唤醒时间为 1.5  $\mu$ s, XT 模式 (4 MHz / 5V) 唤醒时间为 1.5 ms.

微控制器可由以下事件唤醒：

- 1) /RESET 引脚的外部复位信号输入
- 2) WDT 溢出 (若使能)
- 3) Port 6 输入状态改变 (若使能)。
- 4) 外部中断引脚输入状态改变 (P60, /INT) (若 EXWE 使能)
- 5) 检测到低电压 (若 LVDWE 使能)

前两个事件将使 EM78P173N 复位。可用 R3 寄存器的 T 和 P 标志位来判断复位源（唤醒源）。最后一个事件将综合考虑程序的执行和全局中断 ("ENI" 或 "DISI" 指令的执行情况)，来决定控制器在唤醒后是否进入中断向量。如果在 SLEP 指令前执行了 ENI 指令，唤醒后将从地址为 008H 处开始执行。如果在 SLEP 指令前执行了 DISI 指令，唤醒后将从 SLEP 指令的下一条指令开始执行。在 IRC 模式下唤醒后 (IRC 4MHz / 5V), 唤醒时间为 1.5  $\mu$ s, XT 模式下 (4 MHz / 5V) 的唤醒时间为 1.5 ms.

在进入休眠模式前，只允许事件 2 和事件 5 中的一个被使能。也就是：

- [a] 如果在 SLEP 指令前 WDT 被使能，必须禁止 Port 6 输入状态改变中断。因此，EM78P173N 仅可由事件 1 或事件 2 唤醒。参考中断章节
- [b] 如果在 SLEP 指令前 Port 6 输入状态改变中断被使能，必须禁止 WDT 中断，因此，EM78P173N 仅可由事件 3 唤醒。
- [c] 如果外部中断引脚输入状态改变 (P60, INT) 使能唤醒 EM78P173N 并且 Bank 1-RE 寄存器的 EXWE 位在执行 SLEEP 指令前使能，必须禁止 WDT。因此，EM78P173N 仅可由事件 4 唤醒。
- [d] 如果低电压检测使能唤醒 EM78P173N 并且 Bank 0-RE 寄存器的 LVDWE 位在执行 SLEP 指令前使能，必须通过软件编程禁止 WDT。因此仅可由事件 5 唤醒。

如果 Port 6 输入状态改变中断被用作唤醒 EM78P173N (以上 Case [a] 所述)，在 SLEP 指令前必须执行以下指令：

```

MOV A, @xxxx1110b      ;选择WDT预分频器, 预分频比设为大于1:1
                        CONTW
WDTC                    ;清除看门狗定时器和预分频器
MOV A, @0xxxxxxb      ;禁止WDT
IOW RE
MOV R6, R6              ;读 Port6
MOV A, @00000x1xb     ;使能Port6 输入状态改变中断
IOW RF
ENI (or DISI)          ;使能（或禁止）全局中断
SLEP                    ;进入休眠模式
  
```

**注意**

1. 从休眠模式唤醒后，WDT被自动使能。所以在从休眠模式唤醒后，应该在程序中合理的定义WDT使能禁止操作。
2. 为防止在Port 6输入状态改变中断进入中断向量或被用作唤醒MCU时产生复位，WDT预分频比必须设置为大于1:1。

### 6.5.2 唤醒和中断模式操作概述

控制器可以从休眠和空闲状态唤醒。唤醒信号如下表所列。

唤醒信号	条件信号	休眠模式		空闲模式		低速模式		正常模式	
		DISI	ENI	DISI	ENI	DISI	ENI	DISI	ENI
外部 INT	EXWE = 0 EXIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	EXWE = 0 EXIE = 1	唤醒无效		唤醒无效		下一指令	中断 + 中断向量	下一指令	中断 + 中断向量
	EXWE = 1 EXIE = 0	唤醒 + 下一指令		唤醒 + 下一指令		中断无效		中断无效	
	EXWE = 1 EXIE = 1	唤醒 + 下一指令	唤醒 + 中断向量	唤醒 + 下一指令	唤醒 + 中断向量	下一指令	中断 + 中断向量	下一指令	中断 + 中断向量
Port 6 引脚输入 状态改变	ICIE = 0	唤醒 + 下一指令		唤醒 + 下一指令		中断无效		中断无效	
	ICIE = 1	唤醒 + 下一指令	唤醒 + 中断向量	唤醒 + 下一指令	唤醒 + 中断向量	唤醒 + 下一指令	唤醒 + 中断向量	唤醒 + 下一指令	唤醒 + 中断向量
TCC 溢出	TCIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	TCIE = 1	唤醒无效		唤醒 + 下一指令	唤醒 + 中断向量	下一指令	唤醒 + 中断向量	下一指令	唤醒 + 中断向量
低电压检测	LVDWE = 0 LVDIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	LVDWE = 0 LVDIE = 1	唤醒无效		唤醒无效		下一指令	中断 + 中断向量	下一指令	中断 + 中断向量
	LVDWE = 1 LVDIE = 0	唤醒 + 下一指令		唤醒 + 下一指令		中断无效		中断无效	
	LVDWE = 1 LVDIE = 1	唤醒 + 下一指令	唤醒 + 中断向量	唤醒 + 下一指令	唤醒 + 中断向量	下一指令	中断 + 中断向量	下一指令	中断 + 中断向量

### 6.5.3 寄存器初始值总结

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC5	位名	×	×	×	×	C53	C52	C51	C50
		上电	0	0	0	0	1	1	1	1
		/RESET 和 WDT	0	0	0	0	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
N/A	IOC6	位名	C67	C66	C65	C64	C63	C62	C61	C60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x05	P5	位名	×	×	×	×	P53	P52	P51	P50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x06	P6	位名	P67	P66	P65	P64	P63	P62	P61	P60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
N/A	CONT	位名	GP	INT	TS	TE	PAB	PSR2	PSR1	PSR0
		上电	1	0	1	1	1	1	1	1
		/RESET 和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x00	R0 (IAR)	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x01	R1 (TCC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x02	R2 (PC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	跳入地址 0x08 或继续执行下一指令.							

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x03	R3 (SR)	位名	RST	GP1	GP0	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		/RESET 和 WDT	0	0	0	*	*	P	P	P
		引脚状态改变触发唤醒	1	P	P	*	*	P	P	P
0x04	R4 (RSR)	位名	GP	Bank 0	-	-	-	-	-	-
		上电	0	0	U	U	U	U	U	U
		/RESET 和 WDT	0	0	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0E	Bank 0 RE (LVDCR)	位名	/LVD	LVDIF	×	×	×	×	×	LVDWE
		上电	1	0	0	0	0	0	0	0
		/RESET 和 WDT	1	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0F	Bank 0 RF (ISR)	位名	×	×	×	×	×	EXIF	ICIF	TCIF
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	0	0	0	0	0	P	P	P
0x05	Bank 1 R5 (TBHP)	位名	MLB	×	×	×	×	×	RBit 9	RBit 8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x06	Bank 1 R6 (TBLP)	位名	RBit7	RBit 6	RBit 5	RBit 4	RBit 3	RBit 2	RBit 1	RBit 0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0E	Bank 1 RE (LVD ICR)	位名	LVDIE	LVDEN	LVD1	LVD0	×	×	×	EXWE
		上电	0	0	1	1	0	0	0	0
		/RESET 和 WDT	0	0	1	1	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0F	Bank 1 RF (SC and COCR)	位名	×	TIMERSC	CPUS	IDLE	×	×	RCM1	RCM0
		上电	0	1	1	0	0	0	Word 1	
		/RESET 和 WDT	0	1	1	0	0	0	<6,5>	
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x0B	IOCB	位名	/PD63	/PD62	/PD61	/PD60	x	/PD52	/PD51	/PD50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0C	IOCC	位名	OD67	OD66	OD65	OD64	x	OD62	OD61	OD60
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0D	IOCD	位名	/PH67	/PH66	/PH65	/PH64	x	/PH62	/PH61	/PH60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P
0x0E	IOCE	位名	WDTE	EIS	GP	GP	GP	GP	GP	GP
		上电	1	0	1	1	1	1	1	1
		/RESET 和 WDT	1	0	1	1	1	1	1	1
		引脚状态改变触发唤醒	1	P	P	P	P	P	P	P
0x0F	IOCF	位名	x	x	x	x	x	EXIE	ICIE	TCIE
		上电	1	1	1	1	1	0	0	0
		/RESET 和 WDT	1	1	1	1	1	0	0	0
		引脚状态改变触发唤醒	1	1	1	1	1	P	P	P
0x10 ~ 0x3F	R10~R3F	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变触发唤醒	P	P	P	P	P	P	P	P

惯例: X: 未使用。 U: 未知或不用关心。 P: 复位前的值

\*参考下节表格(第 6.5.4 节)。

### 6.5.4 状态寄存器的RST,T和P的状态

复位可由以下事件引发：

- 1) 上电
- 2) /RESET引脚上的高-低-高信号脉冲
- 3) 看门狗定时器溢出。

可用下表中的RST、T和P标志位的取值判断唤醒处理器的事件源。

表 6-2 复位后RST、T 和 P标志位的值

复位类型	RST	T	P
上电	0	1	1
正常模式下的/RESET 引脚信号引发复位	0	*P	*P
休眠模式下/RESET 引脚信号触发唤醒	0	1	0
正常模式下的 WDT 溢出复位	0	0	*P
休眠模式下的 WDT 溢出唤醒	0	0	0
休眠模式下的引脚输入状态改变触发唤醒	1	1	0

\* P: 复位前的值

下表显示了可能会影响T和P标志位状态的事件。

表 6-3 事件发生后RST、T和P的状态

事件	RST	T	P
上电	0	1	1
WDTC 指令	*P	1	1
WDT 溢出	0	0	*P
SLEP 指令	*P	1	0
休眠模式下引脚状态改变触发唤醒	1	1	0

\* P: 复位前的值

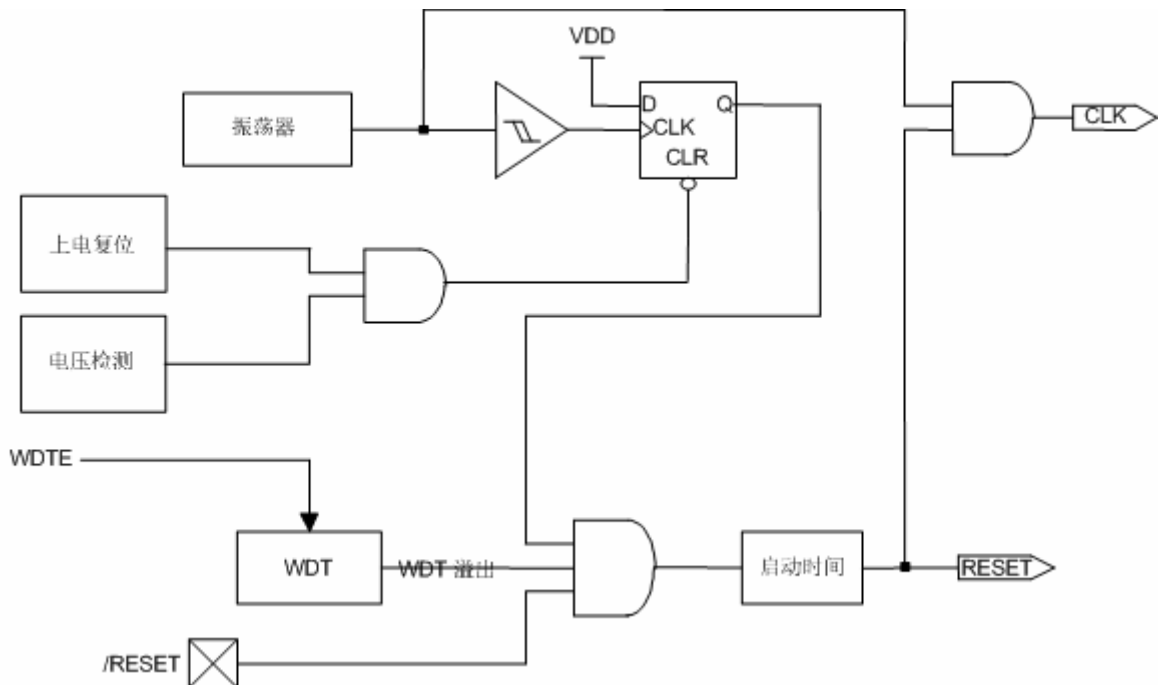


图 6-9 控制器复位结构图

## 6.6 中断

EM78P173N 有如下四种中断源:

- 1) TCC 溢出中断
- 2) Port 6 输入状态改变中断
- 3) 外部中断 [(P60, /INT) pin]
- 4) 低电压检测中断

在使能Port 6输入状态改变中断前，读Port 6 端口状态(例如：“MOV R6,R6”)是必要的。Port 6 的每个引脚均具有引脚状态改变特性。但当引脚被配置为输出或P60引脚配置为/INT时，相应引脚则失去此功能特性。当通过执行SLEP指令使控制器进入休眠模式前，Port 6输入状态改变功能被使能，则Port 6输入状态改变中断可使EM78P173N从休眠模式唤醒。器件唤醒后，如果全局中断被禁止，控制器将从SLEP指令的下一条指令处开始执行；如果全局中断被使能，控制器将跳转到中断向量008H处开始执行。

RF寄存器是中断状态寄存器，它的相应标志位记录对应的中断请求。IOCF寄存器是中断屏蔽寄存器。全局中断可通过执行ENI指令使能，通过执行DISI指令禁止。当产生某个中断（若使能），程序计数器将会跳转到地址008H处。在中断服务子程序中，可通过查询RF寄存器的标志位的状态判断中断源。在离开中断服务子程序前，必须通过指令清除中断标志位，这样可避免中断嵌套。

当有中断请求时，不管其相应中断屏蔽位的状态如何或者是否执行了ENI指令使能全局中断，中断状态寄存器（RF）中的相应标志位（ICIF位除外）都将被置1。注意，从RF寄存器读取的值是RF和IOCF的逻辑与的结果（参考图 6-10）。 RETI指令结束中断服务子程序并使能全局中断（执行ENI）。

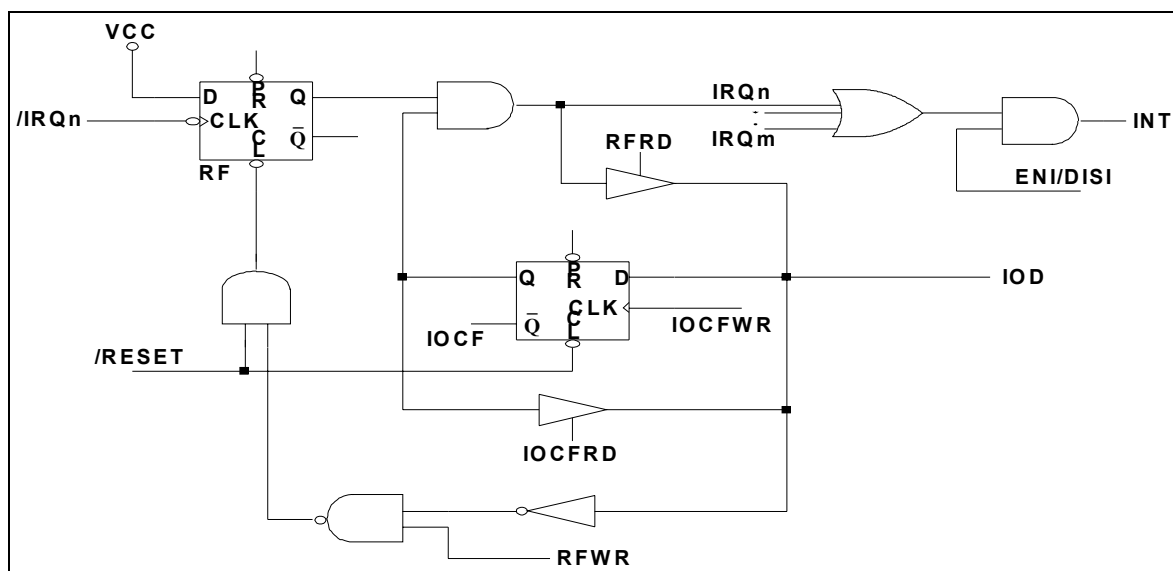


图 6-10 中断输入电路

在一个中断子程序执行前，ACC，R3 和 R4 寄存器的内容 将由硬件自动保存。如果发另一中断，ACC, R3, 和 R4的内容将被新的中断覆盖。在中断服务子程序执行完后，ACC, R3, 和 R4寄存器的内容将被重新装载。

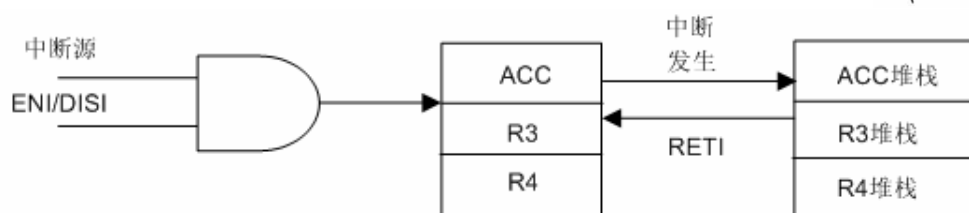


图 6-11 中断结构图

## 6.7 振荡器

### 6.7.1 振荡模式

EM78P173N可运行在四种不同的振荡模式下，即外部 RC 振荡模式 (ERC), 内部 RC 振荡模式 (IRC), 高频晶振模式(XT, HXT1,2)和低频晶振模式 (LXT1, 2). 用户可通过编程设置代码选项寄存器的 OSC3, OSC2, OSC1, 和 OSC0位选择某种振荡模式。表 6-4下 表显示了这四种模式的定义方式。

表 6-4 由OSC定义的振荡模式

振荡模式	OSC3	OSC2	OSC1	OSC0
ERC <sup>1</sup> (外部 RC 振荡模式); P64/RCOUT 用作 P64	0	0	0	0
ERC <sup>1</sup> (外部 RC 振荡模式); P64/RCOUT 用作 RCOUT	0	0	0	1
IRC <sup>2</sup> (内部 RC 振荡模式); P64/RCOUT 用作 P64	0	0	1	0
IRC <sup>2</sup> (内部 RC 振荡模式); P64/RCOUT 用作 RCOUT	0	0	1	1
LXT1 <sup>3</sup> (LXT1 模式的频率范围是 1MHz~100kHz)	0	1	0	0
HXT1 <sup>3</sup> (HXT1 模式的频率范围是 20 MHz~12 MHz)	0	1	0	1
LXT2 <sup>3</sup> (LXT2 模式的频率范围是 32.768kHz)	0	1	1	0
HXT2 <sup>3</sup> (HXT2 模式的频率范围是 12 MHz~6 MHz)	0	1	1	1
XT ( XT 模式的频率范围是 6 MHz~1 MHz) (默认)	1	1	1	1

<sup>1</sup> 在 ERC 模式下, ERCin被用作振荡器引脚. RCOUT/P64可通过代码选项寄存器 Word 1 Bit 4 ~ Bit 1定义.

<sup>2</sup> 在IRC模式下, P65为普通 I/O 引脚. RCOUT/P64 可通过代码选项寄存器 Word 1 Bit 4 ~ Bit 1定义.

<sup>3</sup> 在 LXT1, LXT2, HXT1, HXT2 和XT 模式下; OSC1 和 OSC0 被用作晶振引脚. 这些引脚不能也不要定义成普通I/O 引脚.

在不同的工作电压下，晶体振荡器/陶瓷谐振器的最大工作频率如下表所示

表 6-5 最大工作频率总结

条件	VDD	Max Freq. (MHz)
1 个指令周期包含 2 个时钟周期	2.1	4.0
	3.0	8.0
	5.0	20.0



### 6.7.2 晶体振荡器/陶瓷谐振器 (晶体)

EM78P173N可由通过OSCI引脚输入的外部时钟信号驱动，如下图所示。

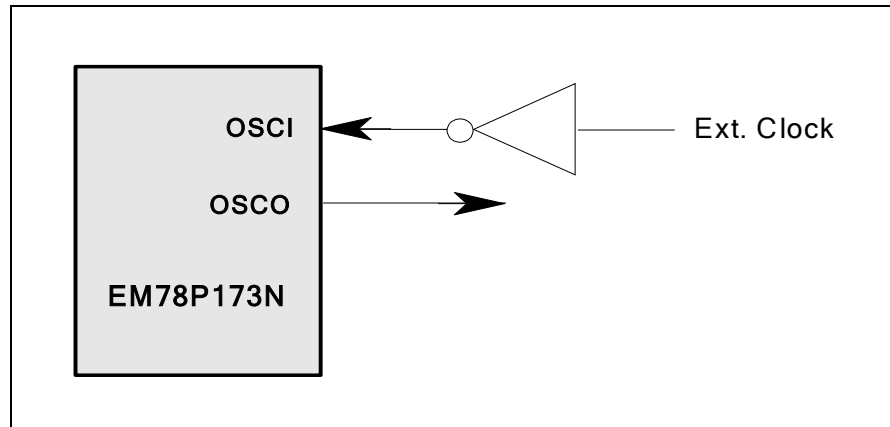


图 6-12 外部时钟输入电路

在大多数应用中，OSCI和OSCO引脚通常连接一个晶体或陶瓷谐振器以产生振荡，图 6-13描绘了一个这样的电路。HXT模式和LXT模式都是以此种方式产生振荡。

在图 6-14中，在陶瓷震荡模式电路中必须在OSCI与OSCO之间串接阻值为 $1M\Omega$  的电阻 R1。

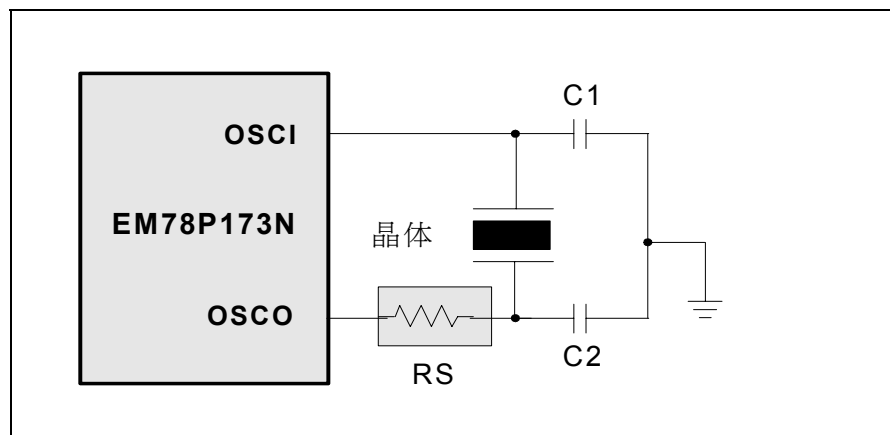


图 6-13 晶体谐振器电路

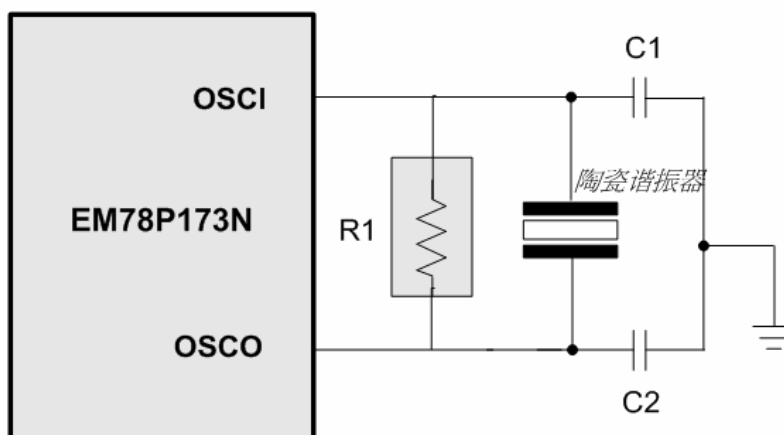


图 6-14 陶瓷谐振器电路

表 6-6 提供了 C1 和 C2 的参考建议值。因为每个谐振器都有它自己的属性，用户应参考它的用户手册以选择合适的 C1 和 C2。对于 AT strip cut 型晶体或低频模式，可能需要一个串接电阻 RS。

表 6-6 晶体振荡器或陶瓷谐振器匹配电容选择指南

振荡类型	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷谐振器	LXT1 (100K~1 MHz)	100kHz	60pF	60pF
		200kHz	60pF	60pF
		455kHz	40pF	40pF
		1 MHz	30pF	30pF
	XT (1M~6 MHz)	1.0 MHz	30pF	30pF
		2.0 MHz	30pF	30pF
4.0 MHz		20pF	20pF	
晶体振荡器	LXT2 (32.768kHz)	32.768kHz	40pF	40pF
	LXT1 (100K~1 MHz)	100kHz	60pF	60pF
		200kHz	60pF	60pF
		455kHz	40pF	40pF
		1 MHz	30pF	30pF
	XT (1~6 MHz)	455kHz	30pF	30pF
		1.0 MHz	30pF	30pF
		2.0 MHz	30pF	30pF
		4.0 MHz	20pF	20pF
		6.0 MHz	30pF	30pF
	HXT2 (6~12 MHz)	6.0 MHz	30pF	30pF
		8.0 MHz	20pF	20pF
		10.0 MHz	30pF	30pF
		12.0 MHz	30pF	30pF
	HXT1 (12~20 MHz)	12.0 MHz	30pF	30pF
16.0 MHz		20pF	20pF	
20.0 MHz		15pF	15pF	

### 6.7.3 外部RC振荡模式

对于一些不需要精确计时的应用，RC振荡器(图6-15)提供了一种大幅节省成本的方案。然而，应该注意到，RC振荡器的频率会受供电电压、电阻(Rext)、电容(Cext)甚至工作温度的影响。另外，因为生产过程的差异，一个器件的频率与另外一个器件的频率也会存在细微的差别。

为了维持在一个稳定的系统频率下，Cext值应该大于20 pF，Rext值不高于1 MΩ。如果它们不在此范围内，系统频率很容易受噪声、湿度和漏电流的影响。

在RC振荡模式中，Rext值越小，其振荡频率越快。相反，对一个非常小的Rext值，例如1 KΩ，振荡器将变得不稳定。因为NMOS不能及时的释放电容电荷。

基于以上原因，必须时刻牢记，供电电压、工作温度、RC振荡器的元件特性、封装类型、PCB layout等因素都会对系统频率产生影响。

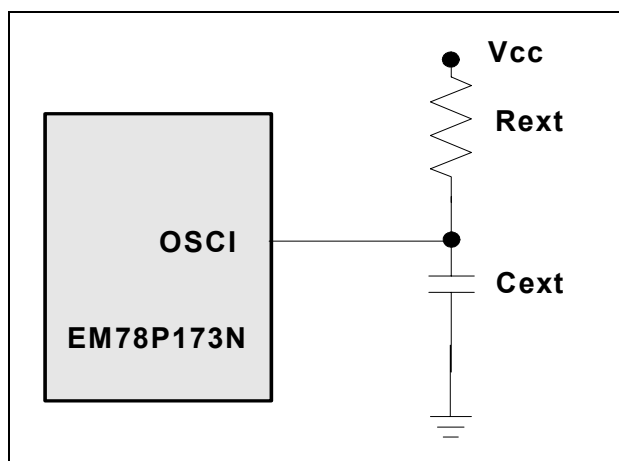


图 6-15 外部RC振荡模式电路

表 6-7 RC 振荡频率

Cext	Rext	平均 Fosc 5V, 25°C	平均 Fosc 3V, 25°C
20pF	3.3k	2.064 MHz	1.901 MHz
	5.1k	1.403 MHz	1.316 MHz
	10k	750kHz	719.7kHz
	100k	81.45kHz	81.33kHz
100pF	3.3k	647.3kHz	615.1 MHz
	5.1k	430.8kHz	414.3kHz
	10k	225.8kHz	219.8kHz
	100k	23.88kHz	23.96kHz
300pF	3.3k	256.6kHz	245.3kHz
	5.1k	169.5kHz	163.0kHz
	10k	88.53kHz	86.14kHz
	100k	9.283kHz	9.255kHz

注： 1: 数据是在DIP封装类型上测量得到

2. 以上数据仅用作设计参考
3. 频率偏移为± 30%

### 6.7.4 内部 RC 振荡模式

EM78P173N提供了多种通用的内部RC模式，其默认频率为4MHz。内部RC振荡模式还有其它频率值(1 MHz, 8 MHz, and 16 MHz)，可通过编程设置代码选项位 (Word 1) 的 RCM1和 RCM0选择内部RC振荡模式的四个频率值。这四个主频均可通过编程代码选项位C0 ~ C4进行校准。表 6-8 描述了 EM78P173N随供电电压、温度和制程变化的内部RC频率偏移率。

表 6-8 内部RC频率偏移率(Ta=25°C, VDD=5V ± 5%, VSS = 0V)

内部 RC	偏移率			
	温度 (-40°C~85°C)	电压 (2.1V~5.5V)	制程	总计
4 MHz	± 2%	± 3%	± 2%	± 7%
16 MHz	± 2%	± 3%	± 2%	± 7%
8 MHz	± 2%	± 3%	± 2%	± 7%
1 MHz	± 2%	± 3%	± 2%	± 7%

注: 以上数据为理论值，仅用作设计参考。实际值可能随实际制程而有所不同。

## 6.8 代码选项寄存器

EM78P173N有一个代码选项字，它不位于用户程序存储空间。在执行用户程序时，这些位不可被存取。

- 代码选项寄存器和用户ID寄存器组织如下:

Word 0	Word 1	Word 2
Bit 12 ~ Bit 0	Bit 12 ~ Bit 0	Bit 12 ~ Bit 0

### 6.8.1 代码选项寄存器(Word 0)

Word 0											
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2~Bit 0
Mnemonic	RESETEN	ENWDT	CLKS	LVR1	LVR0	-	WDTPS1	WDTPS0	NRHL	NRE	Protect
1	disable	disable	4 clocks	High	High	-	High	High	High	High	Disable
0	enable	enable	2 clocks	Low	Low	-	Low	Low	Low	Low	Enable

**Bit 12 (RESETEN):** 定义引脚P63为复位引脚

- 0: 使能/RESET
- 1: 禁止/RESET

**Bit 11 (ENWDT):** 看门狗定时器使能位

- 0: 使能
- 1: 禁止

**Bit 10 (CLKS):** 指令周期选择位

0: 两个振荡周期

1: 四个振荡周期

参考指令集章节。

**Bits 9 ~ 8 (LVR1 ~ LVR0):** 低电压复位控制位

LVR1, LVR0	VDD 复位电平	VDD 释放电平
11	NA (上电复位) (默认)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.0V

**Bit 7:** 置1

**Bit 6 和 Bit 5 (WDTPS1 and WDTPS0):** WDT 溢出周期选择 位.

表 6-9 设备编程的WDT 溢出周期

WDTPS1	WDTPS0	*WDT 溢出周期
1	1	18 ms
1	0	4.5 ms
0	1	288 ms
0	0	72 ms

\* 这此均为理论值，仅供参考

**Bit 4 (NRHL):** 噪声抑制高/低脉冲定义位。INT引脚有一个下降沿触发器。

0: 等于8/fc脉冲被当作是信号

1: 等于32/fc脉冲被当作是信号(默认)

**Bit 3 (NRE):** 噪声抑制使能位

0: 禁止噪声抑制

1: 使能噪声抑制 (默认). 然而在低频晶振模式(LXT2)下, 噪声抑制电路总是不使能。

**Bits 2 ~ 0 (Protect):** 保护位. 各保护状态如下所述:

保护位	保护
0	使能
1	禁止 (默认)

代码选项寄存器(Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	HLP	C4	C3	C2	C1	C0	RCM1	RCM0	OSC3	OSC2	OSC1	OSC0	RCOUT
1	High	High	High	High	High	High	High	High	High	High	High	High	System-clock
0	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Open-drain

**Bit 12 (HLP):** 功耗模式选择位

**0:** 低功耗模式, 应用于工作频率为 400kHz 或低于 400kHz

**1:** 高功耗模式, 应用于工作频率高于 400kHz (默认)

**Bits 11 ~ 7 (C4 ~ C0):** 内部RC 模式校准位. 这些位必须设为“1” (自动校准时).

**Bit 6 and Bit 5 (RCM1, RCM0):** RC 模式选择 位

RCM 1	RCM 0	*频率 (MHz)
1	1	4
1	0	16
0	1	8
0	0	1

\* 理论值, 仅供参考

**Bits 4 ~ 1 (OSC3, OSC2, OSC1 and OSC0):** 振荡模式选择位

振荡模式	OSC3	OSC2	OSC1	OSC0
ERC <sup>1</sup> (外部 RC 振荡模式); P64/RCOUT 用作 P64	0	0	0	0
ERC <sup>1</sup> (外部 RC 振荡模式); P64/RCOUT 用作 RCOUT	0	0	0	1
IRC <sup>2</sup> (内部 RC 振荡模式); P64/RCOUT 用作 P64	0	0	1	0
IRC <sup>2</sup> (内部 RC 振荡模式); P64/RCOUT 用作 s RCOUT	0	0	1	1
LXT1 <sup>3</sup> (LXT1 模式的频率范围为 1MHz~100kHz)	0	1	0	0
HXT1 <sup>3</sup> (HXT1 模式的频率范围为 20 MHz~12 MHz)	0	1	0	1
LXT2 <sup>3</sup> (LXT2 模式的频率范围为 32.768kHz)	0	1	1	0
HXT2 <sup>3</sup> (HXT2 模式的频率范围为 12 MHz~6 MHz)	0	1	1	1
XT (XT 模式的频率范围为 6 MHz~1 MHz) (默认)	1	1	1	1

<sup>1</sup> 在 ERC 模式下, ERCin被用作晶振引脚. RCOUT/P64可通过代码选项寄存器 Word 1 Bit 4 ~ Bit 1 定义.

<sup>2</sup> 在IRC模式下, P65为普通 I/O 引脚. RCOUT/P64 可通过代码选项寄存器 Word 1 Bit 4 ~ Bit 1 定义.

<sup>3</sup> 在 LXT1, LXT2, HXT1, HXT2 和XT 模式下; OSC1 和 OSC0 被用作晶振引脚. 这些引脚不能也不要定义成普通I/O 引脚.

**Bit 0 (RCOUT):** 在IRC或 ERC 模式下系统时钟或漏极开路定义位

**0:** RCOUT 引脚漏极开路

**1:** RCOUT 引脚输出系统时钟 (默认)

用户ID 寄存器 (Word 2)

Word 2													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mnemonic	-	SFS	TYPE	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
1	-	16K	14 PIN	High	High	High	High	High	High	High	High	High	High
0	-	128K	10 PIN	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low

**Bit 12:** 保留. 置“1”.

**Bit 11 (SFS):** 低速模式副频选择位

(不包括 WDT 溢出和 POR 释放启动时间)

0: 128kHz

1: 16kHz (默认)

**Bit 10 (TYPE):** EM78P173N 类型选择位

类型	MCU 类型
0	EM78P173N-10Pin
1	EM78P173N-14Pin (默认)

**Bits 9 ~ 0:** 用户的 ID 代码

## 6.9 上电探讨

在供电电压达到稳定状态前，任何微控制器都不能确保正常工作。在用户应用中，当电源关闭，在Vdd电源再次开启前，Vdd必须降到1.8V以下并保持在关断状态大约10us。这样，EM78P173N将会复位并正常工作。如果Vdd上升得非常快(50 ms 或更少)，额外的外部复位电路将工作得非常好。但是在涉及到关键应用的大多数情况下，可能需要额外的器件来辅助解决上电问题。

## 6.10 编程设置WDT 振荡器启动周期

代码选项字中的WDTPS0 和WDTPS1 可定义WDT振荡器启动周期。理论上，启动时间范围在4.5 ms至 288 ms。对于大多数晶体和陶瓷谐振器，工作频率越低，所需的启动时间越长。表12显示了WDT振荡器启动时间值。

## 6.11 外部上电复位电路

下图提供了一个利用外部RC电路产生复位脉冲的电路。脉冲宽度(时间常数)应该足够长以使Vdd达到最低工作电压。此电路用在供电电压上升很慢的情况。

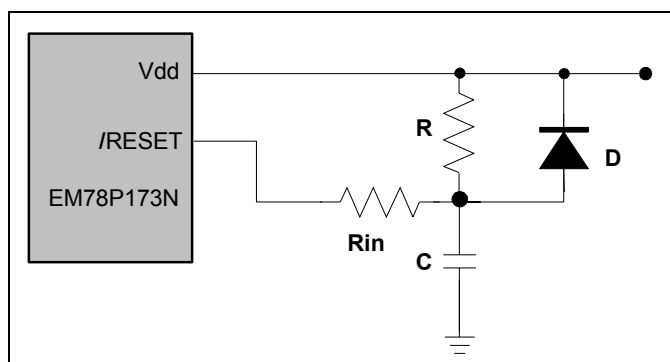


图 6-16 外部上电复位电路

因为/RESET引脚的漏电流大约为 $\pm 5\mu\text{A}$ ，因此建议R值不要大于40 K $\Omega$ 。此时，/RESET引脚电压保持在0.2V以下。二极管(D)在掉电时作为短路回路。电容C将快速充分放电。限流电阻Rin可防止高电流或ESD（静电释放）灌入/RESET引脚。

## 6.12 残留电压保护

更换电池时，器件电源(Vdd)关断，但仍会存在残留电压。残留电压可能会掉到低于最小工作电压Vdd，但不为零。此条件可能触发一个不良上电复位。下面两图显示了怎样为EM78P173N建立残留电压保护电路。

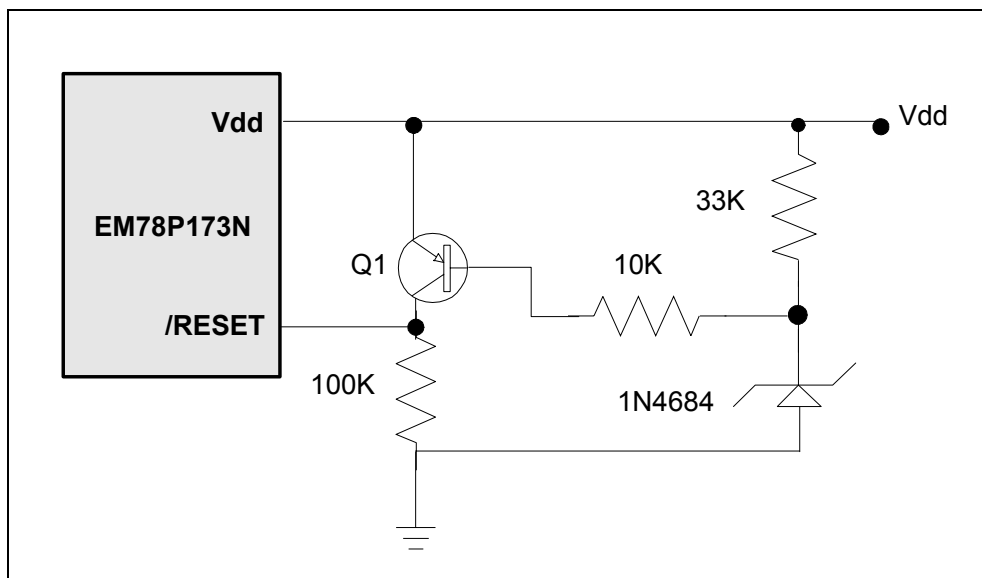


图 6-17 残留电压保护电路1

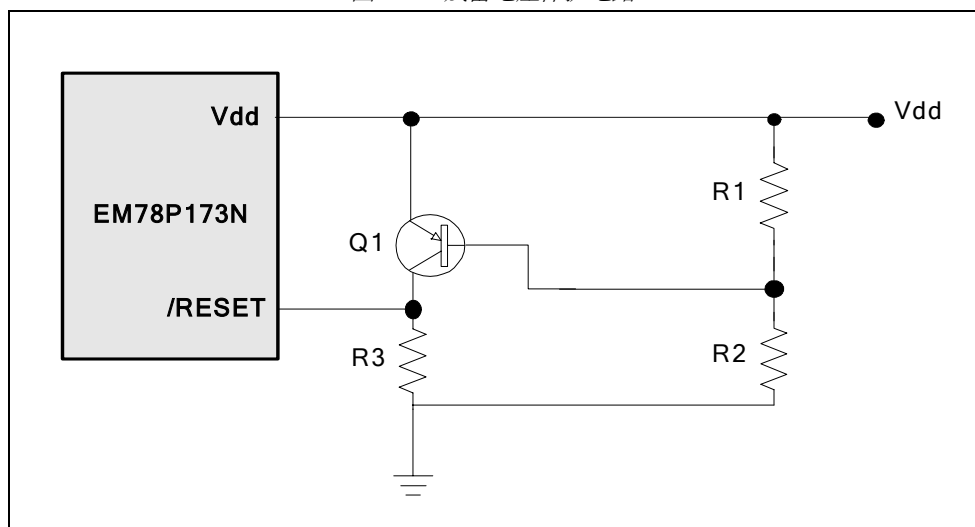


图 6-18 残留电压保护电路2

**注意**

图 6-17和 图 6-18所示电路在设计上应该保证/RESET引脚电压高于VIH(min)



## 6.13 低电压检测

在供电电源不稳定的情况下，像外部电源噪声干扰或EMS测试条件下，会使电源剧烈振荡。在Vdd未稳定时，Vdd可能低于工作电压。当系统电压Vdd低于工作电压，IC内部必须自动保持所有寄存器状态。

### 6.13.1 低电压复位 (LVR)

LVR 的属性可通过代码选择字Word 0的 第 9 位和第 8位设置。具体操作方式如下表:

Word 0										
Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2 ~ Bit 0
RESETEN	ENWDT	CLKS	LVR1	LVR0	-	WDTPS1	WDTPS0	NRHL	NRE	Protect

**Bits 9 ~ 8 (LVR1 ~ LVR0):** 低电压复位使能控制位

LVR1, LVR0	VDD 复位电平	VDD 释电平
11	N/A (上电复位)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

### 6.13.2 低电压检测 (LVD)

LVD 属性由Bank 0-RE 和 Bank 1-RE设定。详细操作如下。

#### 6.13.2.1 Bank 0 RE (LVD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	-	-	-	-	-	LVDWE

**Bit 7 (/LVD):** 低电压检测状态位。这个位仅可读。当 VDD引脚电压低于 LVD电压中断电平时(通过 LVD1 和 LVD0),此位将被清0。

**0:** 检测到低电压。

**1:** 没有检测到低电压或LVD功能被禁止。

**Bit 6 (LVDIF):** 低电压检测中断标志

LVDIF由软件或硬件清为“0”

**Bank 0-RE的 Bit 6:** “1”表示有中断请求，“0”表示没有中断产生。

**Bit 0 (LVDWE):** 低电压检测唤醒使能位

**0:** 禁止低电压检测唤醒

**1:** 使能低电压检测唤醒

当低电压检测功能用于进入中断向量或把IC从休眠/空闲模式中唤醒，LVDWE 位必须设为“使能。”

#### 6.13.2.2 Bank 1 RE (LVD 中断和唤醒寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD1	LVD0	-	-	-	EXWE

**注意**

- Bank 1-RE <7> 寄存器可读写.
- 可在Bank 1-RE<7> 中把相关的位设置为"1."使能各中断
- 全局中断可通过 ENI指令设为使能和通过 DISI指令设为禁止. 参考图 6-10
- (中断输入电路) 在 6.6 节 (中断).

**Bit 7 (LVDIE): 低电压检测中断使能位**

- 0: 禁止低电压检测中断
- 1: 使能低电压检测中断

当低电压检测功能用于进入中断向量或跳到下一条指令, LVDIE 位必须设为“使能.”

**Bit 6 (LV DEN): 低电压检测使能位**

- 0: 禁止低电压检测
- 1: 使能低电压检测

**Bits 5 ~ 4 (LVD1 ~ 0): 低电压检测电平选择位**

LVDEN	LVD1, LVD0	LVD 电压中断电平	/LVD
1	11	Vdd ≤ 2.2V	0
		Vdd > 2.2V	1
1	10	Vdd ≤ 3.3V	0
		Vdd > 3.3V	1
1	01	Vdd ≤ 4.0V	0
		Vdd > 4.0V	1
1	00	Vdd ≤ 4.5V	0
		Vdd > 4.5V	1
0	××	NA	1

**注意**

如果Vdd的变动电压的电平低于 LVD 中断电平, 将发生LVD中断

**6.13.3 编程步骤**

启动LVD功能需要遵循如下步骤:

- 1.通过设置 Bank 1-RE (LVDCR)寄存器的 (LVD1: LVD0)位来定义LVD电平
- 2.如果要使能唤醒功能, 设置LVDWE位.
- 3.如果要使能中断功能, 设置LVDIE位.
- 4.如果要使能中断功能, 则写“ENI”指令.
- 5.把 LVDEN 位设为“1”
- 6.写“SLEP”指令或选择 /LVD位
- 7.当低电压检测发生后清 (LVDIF) 标志位.

**注意**

- 内部 LVD 模块使用一个内部的电路, 当代码选项使能 LVD 模块, 功耗将超过  $5 \mu\text{A}$ .
- 在休眠模式下, LVD 模块保持运行。如果器件电压缓慢减小并跨过电平检测点时, LVDIF 置位, 器件从休眠模式唤醒。LVD 的中断标志位设置为和检测之前的一样。
- 当系统复位时, LVD 标志位清 0。

下图显示了 LVD 模块检测外部电压情况。

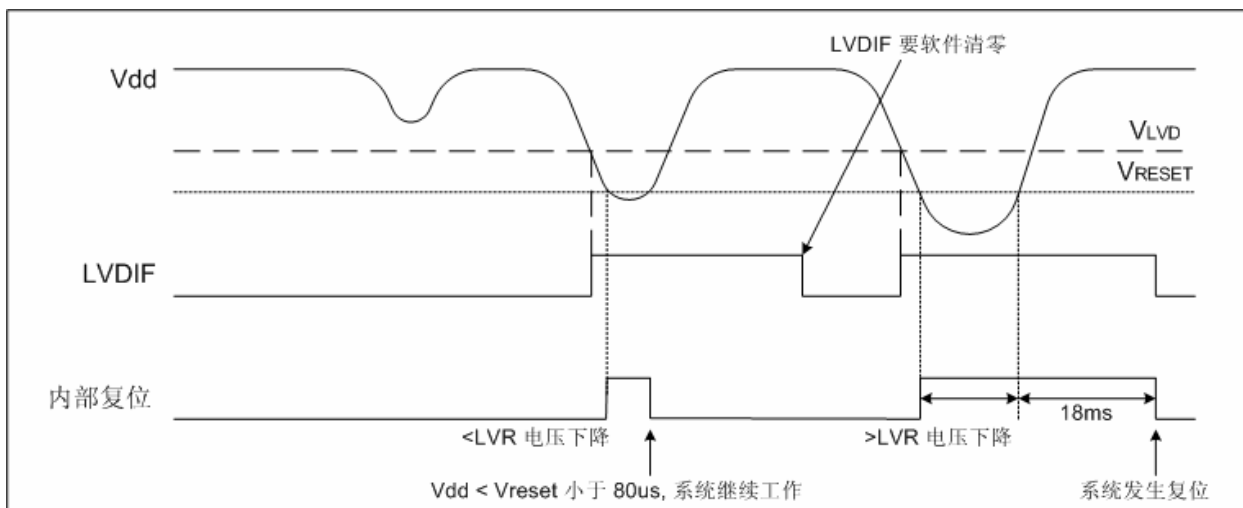


图 6-19 LVD/LVR 外部电压检测波形图

- 当 Vdd 下降, 但大于 VLVD, LVDIF 保持为 “0”。
- 当 Vdd 下降到小于 VLVD, LVDIF 置 “1”。如果全局中断 ENI 使能, LVDIF 置为 “1”, 下一条指令会跳转到中断向量。LVD 的中断标志位由软件清 0。
- 当 Vdds 低于 VRESET 的时间小于  $80 \mu\text{s}$ , 系统会保持所有寄存器的状态, 系统停止但振荡继续运行。
- 当 Vdd 低于 VRESET 的时间大于  $80 \mu\text{s}$ , 系统发生复位。  
详细请参考 6.5.1 节的复位和唤醒运作中的复位描述。

## 6.14 指令集

指令集中的每条指令均是13位。指令分为一个操作码和一个或多个操作数。一般情况下，除非指令的执行改变了程序计数器的值("MOV R2,A", "ADD R2,A")或者对R2的算术或逻辑操作(例如. "SUB R2,A", "BS (C) R2,6", "CLR R2", ...).，否则执行所有的指令都只占用单个指令周期(一个指令周期包含2个振荡周期)。对于前面两种特殊的指令，执行指令需要两个指令周期。

如果由于某种原因，指令周期不适合特定应用，可尝试做如下修改：

**A)**改变指令周期为包含4个振荡周期。

**B)**在两个指令周期内执行，"JMP", "CALL", "RET", "RETL", "RETI"或条件测试结果为“真”的条件转移指令("JBS", "JBC", "JZ", "JZA", "DJZ", "DJZA")和向程序计数器写入的指令的执行均占用两个指令周期。

事件(A)可通过设置代码选项位——CLK来选择，如果CLK为“0”，则一个指令周期包含两个振荡周期；如果CLK为“1”，则一个指令周期包含4个振荡周期。

注意：一旦在事件(A)中选择一个指令周期包含4个振荡周期，TCC的内部时钟源应为 $CLK = F_{osc}/4$ ，而不是 $F_{osc}/2$ 。

另外，指令集具有如下特性：

- 1) 任何寄存器的每个位都可被置1、清零或直接测试。
- 2) I/O寄存器可被当作通用寄存器。也就是，相同的指令可操作I/O寄存器。

下面的符号被用在指令集表中:

惯例:

**R** = 一个寄存器指示符, 用来指定指令操作哪个寄存器 (包括操作寄存器和通用寄存器)。

R4 的第6位用于选择寄存器组。

**b** = 一个位指示符, 指定位于R寄存器中会影响操作的位。

**k** = 一个8位或10位常数或立即数。

二进制指令	十六进制	助记符	操作	受影响标志位
0 0000 0000 0000	0000	NOP	空操作	无
0 0000 0000 0001	0001	DAA	A累加器十进制调整	C
0 0000 0000 0010	0002	CONTW	A → CONT	无
0 0000 0000 0011	0003	SLEP	0 → WDT, 振荡器停振	T, P
0 0000 0000 0100	0004	WDTC	0 → WDT	T, P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	无 <sup>1</sup>
0 0000 0001 0000	0010	ENI	使能全局中断	无
0 0000 0001 0001	0011	DISI	禁止全局中断	无
0 0000 0001 0010	0012	RET	[栈顶] → PC	无
0 0000 0001 0011	0013	RETI	[栈顶] → PC, 使能中断	无
0 0000 0001 0100	0014	CONTR	CONT → A	无
0 0000 0001 rrrr	001r	IOR R	IOCR → A	无 <sup>1</sup>
0 0000 01rr rrrr	00rr	MOV R,A	A → R	无
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A → A	Z, C, DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A → R	Z, C, DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A,R	A ∨ R → A	Z
0 0010 01rr rrrr	02rr	OR R,A	A ∨ R → R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A ⊕ R → A	Z
0 0011 01rr rrrr	03rr	XOR R,A	A ⊕ R → R	Z
0 0011 10rr rrrr	03rr	ADD A,R	A + R → A	Z, C, DC
0 0011 11rr rrrr	03rr	ADD R,A	A + R → R	Z, C, DC

<sup>1</sup> 此指令仅适用于 IOC5~IOC6, IOCB ~ IOCF.

(继续)

二进制指令	十六进制	助记符	操作	受影响标志位
0 0100 00rr rrrr	04rr	MOV A,R	$R \rightarrow A$	Z
0 0100 01rr rrrr	04rr	MOV R,R	$R \rightarrow R$	Z
0 0100 10rr rrrr	04rr	COMA R	$\neg R \rightarrow A$	Z
0 0100 11rr rrrr	04rr	COM R	$\neg R \rightarrow R$	Z
0 0101 00rr rrrr	05rr	INCA R	$R+1 \rightarrow A$	Z
0 0101 01rr rrrr	05rr	INC R	$R+1 \rightarrow R$	Z
0 0101 10rr rrrr	05rr	DJZA R	$R-1 \rightarrow A$ , 值为零则跳 过下条指令	无
0 0101 11rr rrrr	05rr	DJZ R	$R-1 \rightarrow R$ , 值为零则跳 过下条指令	无
0 0110 00rr rrrr	06rr	RRCA R	$R(n) \rightarrow A(n-1)$ , $R(0) \rightarrow C$ , $C \rightarrow A(7)$	C
0 0110 01rr rrrr	06rr	RRC R	$R(n) \rightarrow R(n-1)$ , $R(0) \rightarrow C$ , $C \rightarrow R(7)$	C
0 0110 10rr rrrr	06rr	RLCA R	$R(n) \rightarrow A(n+1)$ , $R(7) \rightarrow C$ , $C \rightarrow A(0)$	C
0 0110 11rr rrrr	06rr	RLC R	$R(n) \rightarrow R(n+1)$ , $R(7) \rightarrow C$ , $C \rightarrow R(0)$	C
0 0111 00rr rrrr	07rr	SWAPA R	$R(0-3) \rightarrow A(4-7)$ , $R(4-7) \rightarrow A(0-3)$	无
0 0111 01rr rrrr	07rr	SWAP R	$R(0-3) \leftrightarrow R(4-7)$	无
0 0111 10rr rrrr	07rr	JZA R	$R+1 \rightarrow A$ , 值为零则跳 过下条指令	无
0 0111 11rr rrrr	07rr	JZ R	$R+1 \rightarrow R$ , 值为零则跳 过下条指令	无
0 100b brrr rrrr	0xxx	BC R,b	$0 \rightarrow R(b)$	无 <sup>2</sup>
0 101b brrr rrrr	0xxx	BS R,b	$1 \rightarrow R(b)$	无 <sup>3</sup>
0 110b brrr rrrr	0xxx	JBC R,b	如果 $R(b)=0$ , 则跳过	无
0 111b brrr rrrr	0xxx	JBS R,b	如果 $R(b)=1$ , 则跳过	无
1 00kk kkkk kkkk	1kkk	CALL k	$PC+1 \rightarrow [SP]$ , $(Page, k) \rightarrow PC$	无
1 01kk kkkk kkkk	1kkk	JMP k	$(Page, k) \rightarrow PC$	无
1 1000 kkkk kkkk	18kk	MOV A,k	$k \rightarrow A$	无
1 1001 kkkk kkkk	19kk	OR A,k	$A \vee k \rightarrow A$	Z
1 1010 kkkk kkkk	1Akk	AND A,k	$A \& k \rightarrow A$	Z
1 1011 kkkk kkkk	1Bkk	XOR A,k	$A \oplus k \rightarrow A$	Z
1 1100 kkkk kkkk	1Ckk	RETL k	$k \rightarrow A$ , [栈顶] $\rightarrow PC$	无
1 1101 kkkk kkkk	1Dkk	SUB A,k	$k-A \rightarrow A$	Z, C, DC
1 1111 kkkk kkkk	1Fkk	ADD A,k	$k+A \rightarrow A$	Z, C, DC
1 1110 1001 kkkk	1E9k	BANK k	$k \rightarrow R4(6)$	无

Note: <sup>2</sup> 此指令不建议用于操作RF寄存器。

<sup>3</sup> 此指令不能操作RF寄存器。

(继续)

二进制指令	十六进制	助记符	操作	受影响标志位
1 1110 11rr rrrr	1Err	TBRD R	如果 Bank 1 R5.7=0, 机械码(7:0) → R 否则 Bank 1 R5.7 = 1 机械码 (12:8) → R(4:0), R(7:5)=(0,0,0)	无

## 7 最大绝对值

### ■ EM78P173N

项目	范围		
温度范围	-40°C	to	85°C
存储温度	-65°C	to	150°C
输入电压	Vss-0.3V	to	Vdd+0.5V
输出电压	Vss-0.3V	to	Vdd+0.5V
工作电压	2.1V	to	5.5V
工作频率	DC	to	20 MHz

#### 注意

这些参数都是理论值，未经测试。

## 8 电气特性

### 8.1 直流电气特性

Ta=25°C, VDD=5V±5%, VSS=0V

符号	参数	条件	最小值	典型值	最大值	单位
FXT	晶振: VDD to 2.1V	1条指令周期为2个时钟周期	DC	-	4.0	MHz
	晶振: VDD to 3V	1条指令周期为2个时钟周期	DC	-	8.0	MHz
	晶振: VDD to 5V	1条指令周期为2个时钟周期	DC	-	20.0	MHz
ERC	ERC: VDD to 5V	R: 5.1KΩ, C: 100pF	F±30%	940	F±30%	kHz
IIL	输入引脚输入漏电流	VIN = VDD, VSS	-	-	±1	μA
VIH1	输入高电压(VDD=5V)	Ports 5, 6	2.0	-	-	V
VIL1	输入低电压(VDD=5V)	Ports 5, 6	-	-	0.8	V
VIHT1	输入高临界电压(VDD=5V)	/RESET, TCC (施密特触发)	2.0	-	-	V
VILT1	输入低临界电压(VDD=5V)	/RESET, TCC (施密特触发)	-	-	0.8	V

(继续)

符号	参数	条件	最小值	典型值	最大值	单位
VIHX1	时钟输入高电压(VDD=5V)	OSCI	2.5	-	-	V
VILX1	时钟输入低电压(VDD=5V)	OSCI	-	-	1.0	V
VIH2	输入高电压(VDD=3V)	Ports 5, 6	1.5	-	-	V
VIL2	输入低电压(VDD=3V)	Ports 5, 6	-	-	0.4	V
VIHT2	输入高临界电压(VDD=3V)	/RESET, TCC (施密特触发)	1.5	-	-	V
VILT2	输入低临界电压(VDD=3V)	/RESET, TCC (施密特触发)	-	-	0.4	V
VIHX2	时钟输入高电压(VDD=3V)	OSCI	1.5	-	-	V
VILX2	时钟输入低电压(VDD=3V)	OSCI	-	-	0.6	V
VOH1	输出高电压 (Ports 5, Ports 6)	IOH = -12mA	2.4	-	-	V
VOL1	输出低电压(P50~P53, P60~P62, P66~P67为施密特触发)	IOL = 12mA	-	-	0.4	V
VOL2	输出低电压(P64, P65)	IOL = 16.0mA	-	-	0.4	V
VOL3	输出低电压(P63)	IOL = 20mA	-	-	0.4	V
IPH	上拉电流	激活上拉·输入引脚接VSS	70	-	85	μA
IPD	下拉电流	激活下拉·输入引脚接VDD	25	-	40	μA
ISB1	省电电流	所有输入引脚和I/O引脚接VDD,输出引脚悬空,WDT禁止	-	-	1	μA
ISB2	省电电流	所有输入引脚和I/O引脚接VDD,输出引脚悬空,WDT使能	-	-	10	μA
ICC1	工作供电电流 (VDD=3V) 在2个CLK	/RESET= '高', Fosc=32kHz (晶振类型, CLKS="0"),输出引脚悬空, WDT 禁止	-	15	20	μA
ICC2	工作供电电流 在2个CLKS (VDD=3V)	/RESET= '高', Fosc=32kHz (晶振类型, CLKS="0"),输出引脚悬 空,WDT使能	-	15	25	μA
ICC3	工作供电电流 在2个CLKS (VDD=5.0V)	/RESET= '高', Fosc=4 MHz (晶振类型, CLKS="0"), 输出引脚悬空	-	-	1.5	mA
ICC4	工作供电电流 在2个CLKS (VDD=5.0V)	/RESET= '高', Fosc=10 MHz (晶振类型, CLKS="0"), 输出引脚悬空	-	-	2.8	mA

**注意**

这些参数均为理论值，未经测试。



## 8.2 交流电气特性

Ta=25°C, VDD=5V ± 5%, VSS=0V

符号	参数	条件	最小值	典型值	最大值	单位
Dclk	输入时钟的占空比	–	45	50	55	%
Tins	指令周期 (CLKS="0")	晶振类型	100	–	DC	ns
		RC 类型	500	–	DC	ns
Ttcc	TCC输入时间周期	–	(Tins+20)/N*	–	–	ns
Tdrh	器件复位持续时间	Ta = 25°C, XTAL, WDTPS1, WDTPS0=1, 1	16.8-30%	16.8	16.8+30%	ms
Trst	/RESET 脉冲宽度	Ta = 25°C	2000	–	–	ns
*Twdt1	看门狗定时器时间周期	Ta = 25°C WDTPS1, WDTPS0=1,1	16.8-30%	17.6	16.8+30%	ms
*Twdt2	看门狗定时器时间周期	Ta = 25°C WDTPS1, WDTPS0=1,0	4.5-30%	4.5	4.5+30%	ms
*Twdt3	看门狗定时器时间周期	Ta = 25°C WDTPS1, WDTPS0=0,1	288-30%	288	288+30%	ms
*Twdt4	看门狗定时器时间周期	Ta = 25°C WDTPS1, WDTPS0=0,0	72-30%	72	72+30%	ms
Tset	输入引脚启动时间	–	–	0	–	ns
Thold	输入引脚保持时间	–	–	20	–	ns
Tdelay	输出引脚延迟时间	Cload=20pF	–	50	–	ns

### 注意

这些参数为理论值，未经测试。

看门狗定时器的持续时间有代码选项(Bit 6, Bit 5)定义

\*N = 所选预分频比

\*Twdt1: 代码选项字(WDTPS1, WDTPS0)用于定义振荡器启动时间。在晶振模式下，WDT溢出周期等于启动时间(18ms)。

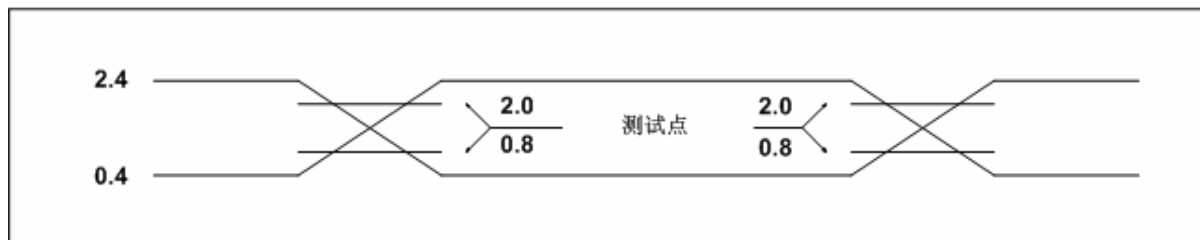
\*Twdt2: 代码选项字(WDTPS1, WDTPS0)用于定义振荡器启动时间。在晶振模式下，WDT溢出周期等于启动时间(4.5ms)。

\*Twdt3: 代码选项字(WDTPS1, WDTPS0)用于定义振荡器启动时间。在晶振模式下，WDT溢出周期等于启动时间(288ms)。

\*Twdt4: 代码选项字(WDTPS1, WDTPS0)用于定义振荡器启动时间。在晶振模式下，WDT溢出周期等于启动时间(72ms)。

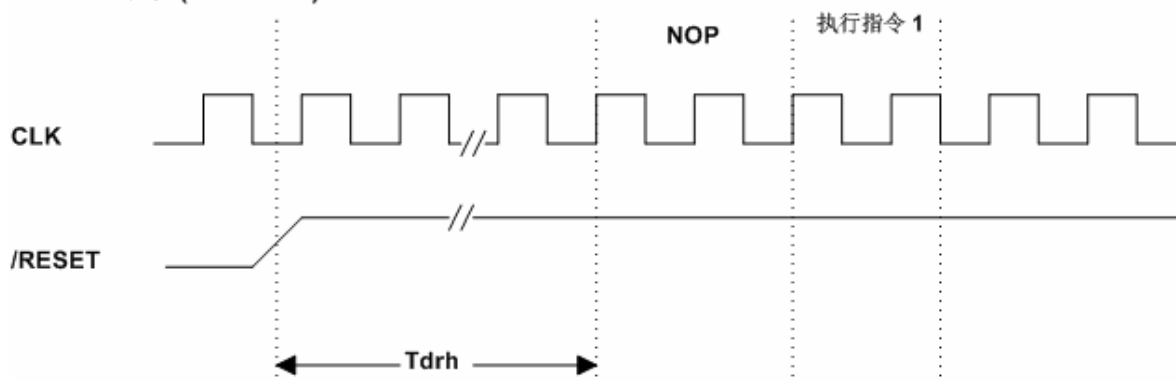
## 9 时序图

### AC 测试输入/输出波形



AC 测试:输入为 2.4V 代表逻辑 "1",输入为 0.4V 代表逻辑 "0".时序测量以 2.0V 为逻辑 "1",以 0.8V 为逻辑 "0".

### RESET时序 (CLK="0")



### TCC 输入时序 (CLKS="0")

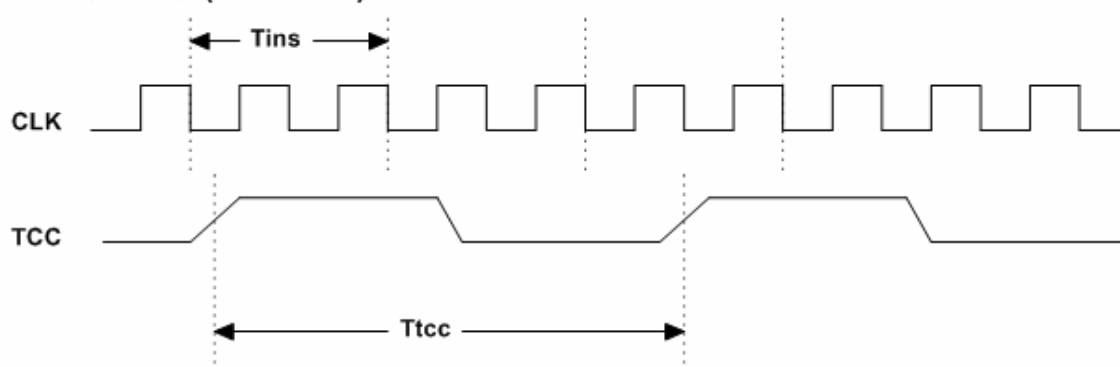


图 9-1 EM78P173N 时序图

## 附录

### A 封装类型

OTP MCU	封装类型	引脚数	封装尺寸
EM78P173ND14J/S	DIP	14	300 mil
EM78P173NSO14J/S	SOP	14	150 mil
EM78P173NMS10J/S	MSOP	10	118 mil

绿色产品不含有害物质并符合Sony SS-00259 第三版标准。

Pb 含量小于100ppm并符合Sony 数据手册。

项目	EM78P173N
电镀类型	纯锡
成份 (%)	Sn:100%
熔点(°C)	232°C
电阻率 ( $\mu\Omega\text{-cm}$ )	11.4
硬度(hv)	8~10
伸长 (%)	>50%

## B 封装信息

### ■ 14-引脚塑封双列直插封装(PDIP) — 300 mil

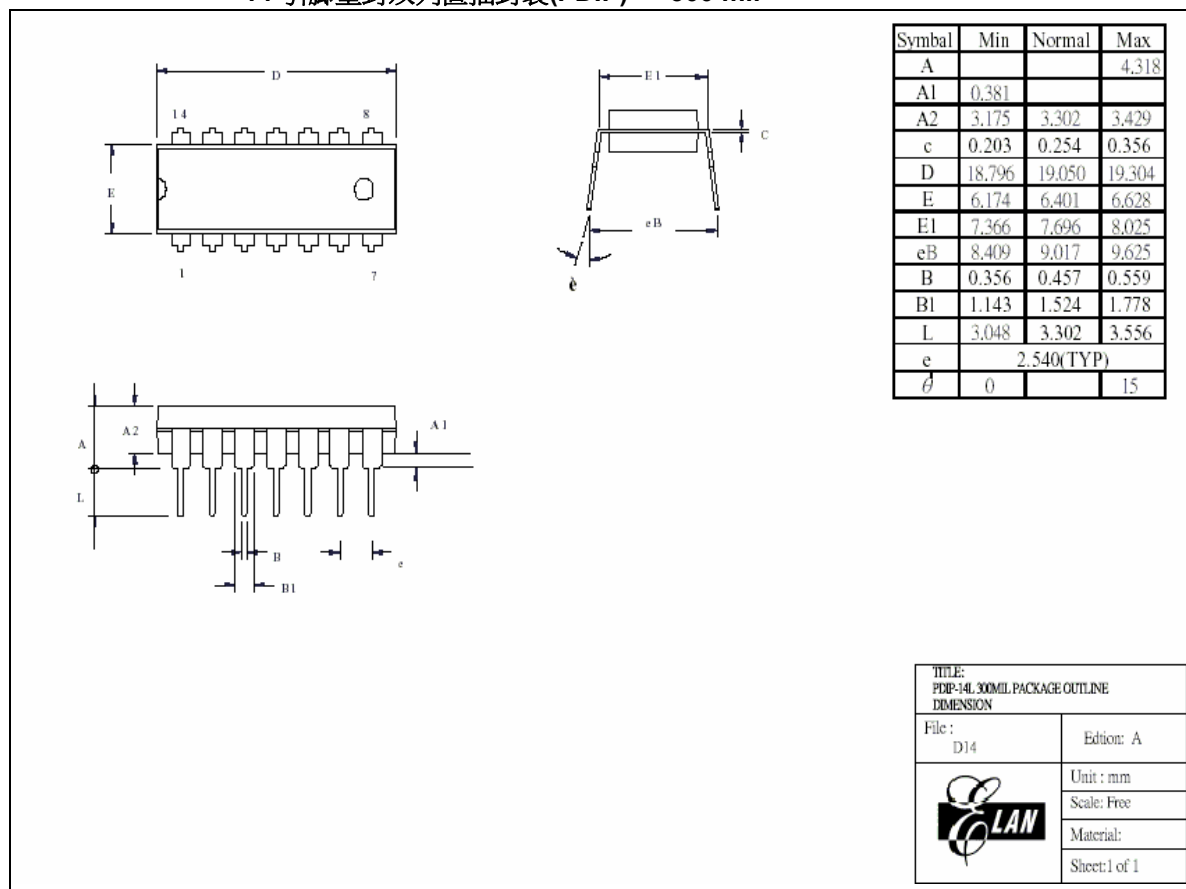


图 B-1a EM78P173N 14-引脚 PDIP 封装类型

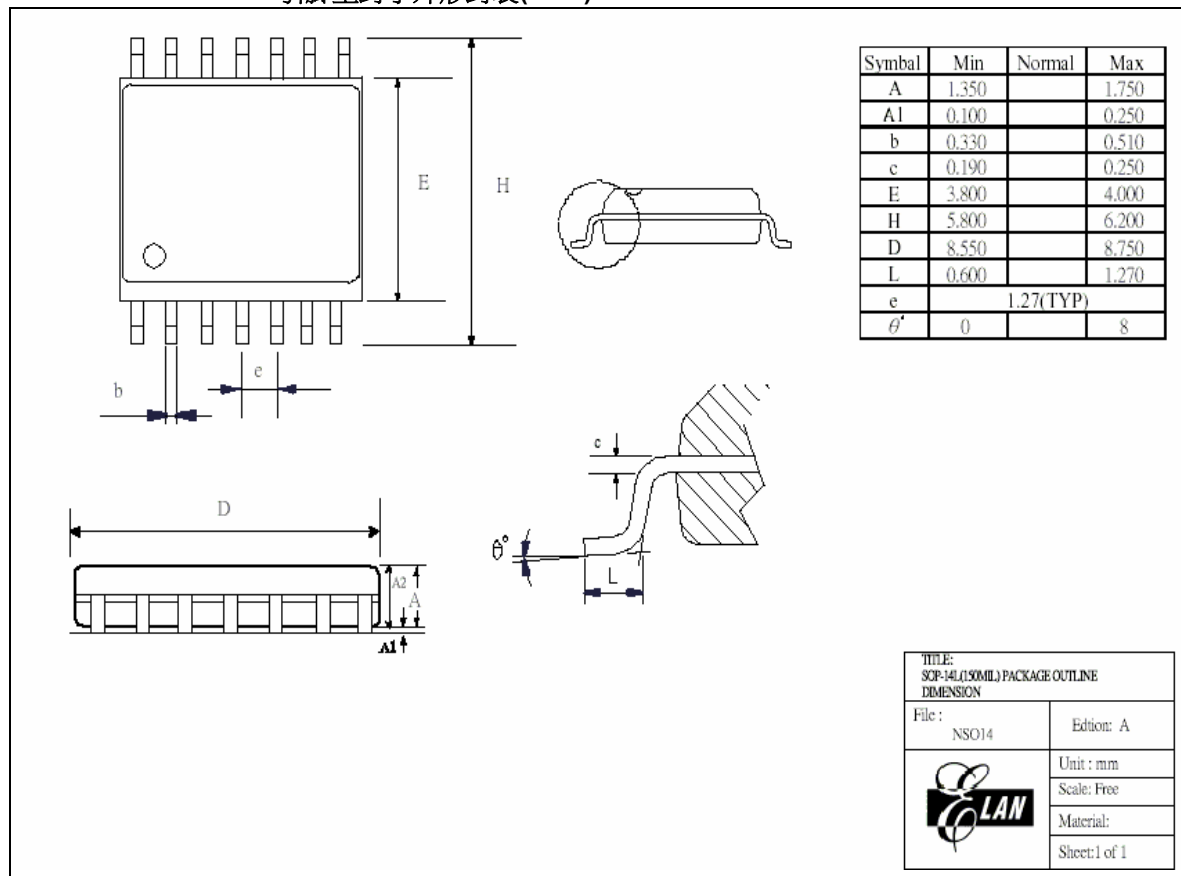
**■ 14-引脚塑封小外形封装(SOP) — 150 mil**


图 B-1b EM78P173N 14-引脚 SOP 封装类型

■ 10-引脚塑封缩小外形封装(MSOP) — 118 mil

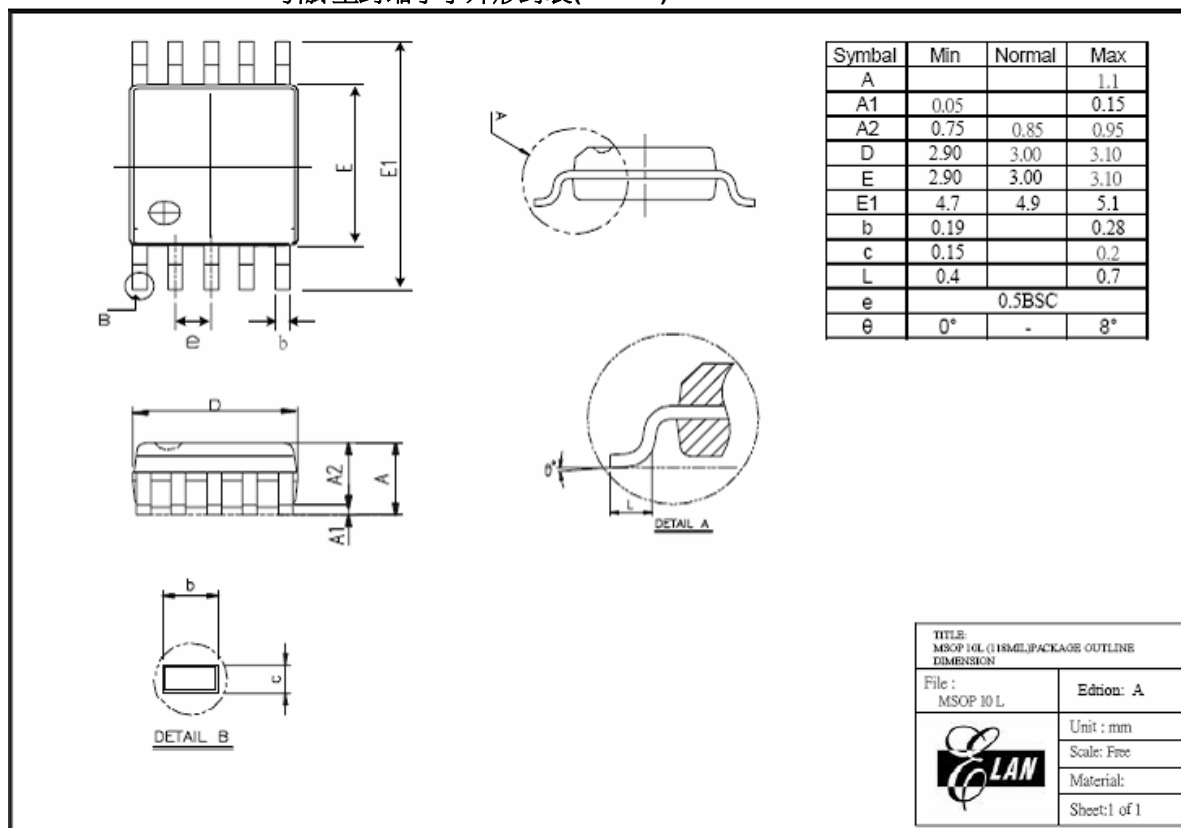


图 B-1c EM78P173N 10-引脚MSOP 封装类型