



ICND2049

(具有低转折电压及开路检测的 16 路双缓存恒流共阴 LED 驱动芯片)

概述

ICND2049 是一款专为 LED 显示屏设计的共阴驱动 IC，采用 16 路恒流电流输出。ICND2049 采用低转折电压设计，可以有效节能，可选用不同的外挂电阻对输出级电流大小进行调节，精确控制 LED 的发光亮度。ICND2049 内部采用了电流精确控制技术，可使片间误差低于 $\pm 2.0\%$ ，通道间误差低于 $\pm 2.0\%$

ICND2049 在显示过程中 (OE=0) 会缓存 16bit 显示数据，所以系统在 ICND2049 显示的过程中可以再继续存入 16bit 串行数据，相比通用恒流源芯片，刷新率可以提高 50% 以上。

ICND2049 内嵌两组寄存器配置，在下鬼隐消除功能基础上有效改善低灰偏色，麻点，第一行偏暗等问题。内部集成 4 位电流增益调节。

ICND2049 集成了开路检测功能，有效去除因开路灯珠导致的开路十字架。

- ◇ 16 路恒流电流输出
- ◇ 输出电流设定范围：
0.5~45mA@V_{DD}=5V
0.5~25mA@V_{DD}=3.3V
- ◇ 电流精度
通道间： $\pm 0.7\%$ (典型值) $\pm 2.0\%$ (最大值)
芯片间： $\pm 1.1\%$ (典型值) $\pm 2.0\%$ (最大值)
- ◇ 快速输出电流响应 \overline{OE} (最小值)：40ns@V_{DD}=5V
- ◇ 4 位电流增益调节：25%~100%
- ◇ I/O 施密特触发器触发输入
- ◇ 数据传输频率： $f_{MAX}=25MHz$
- ◇ 芯片工作电压：V_{DD}=3.3~5.5V
- ◇ 低转折电压 I_{OUT}=20mA@V_{DS}=0.2V, V_{DD}=5.0V
- ◇ 工作温度范围：-40~85°C
- ◇ 消除下鬼隐
- ◇ 开路检测及去除开路十字架
- ◇ 集成双缓存，刷新率比通用恒流芯片提高 50% 以上
- ◇ 通道内集成双向钳位保护电路，能够有效减少灯珠的损坏
- ◇ 有效解决低灰色块，偏色，麻点，第一行偏暗

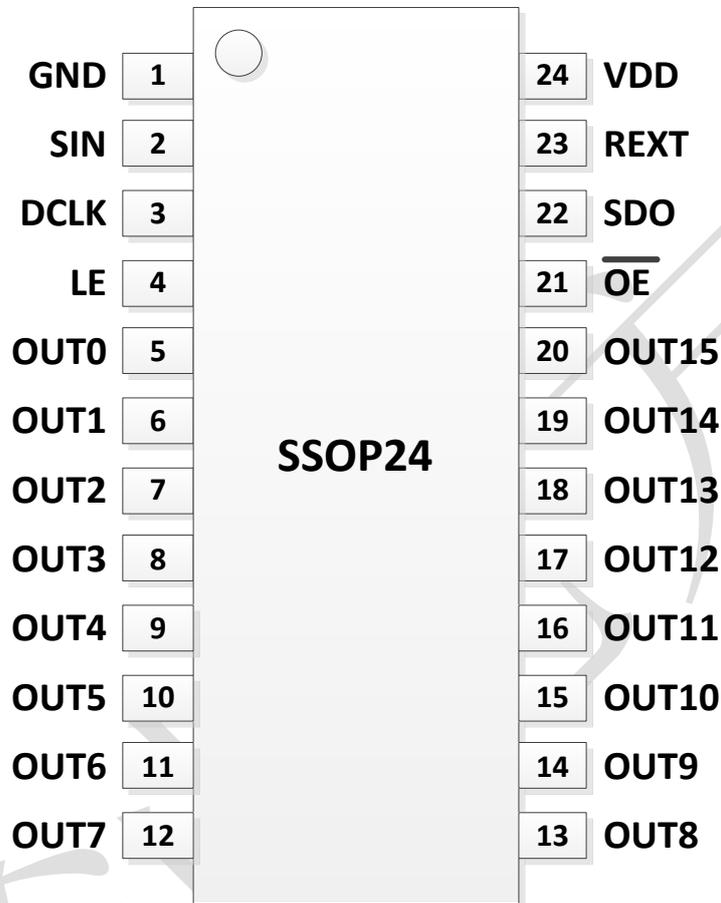
封装



ICND2049

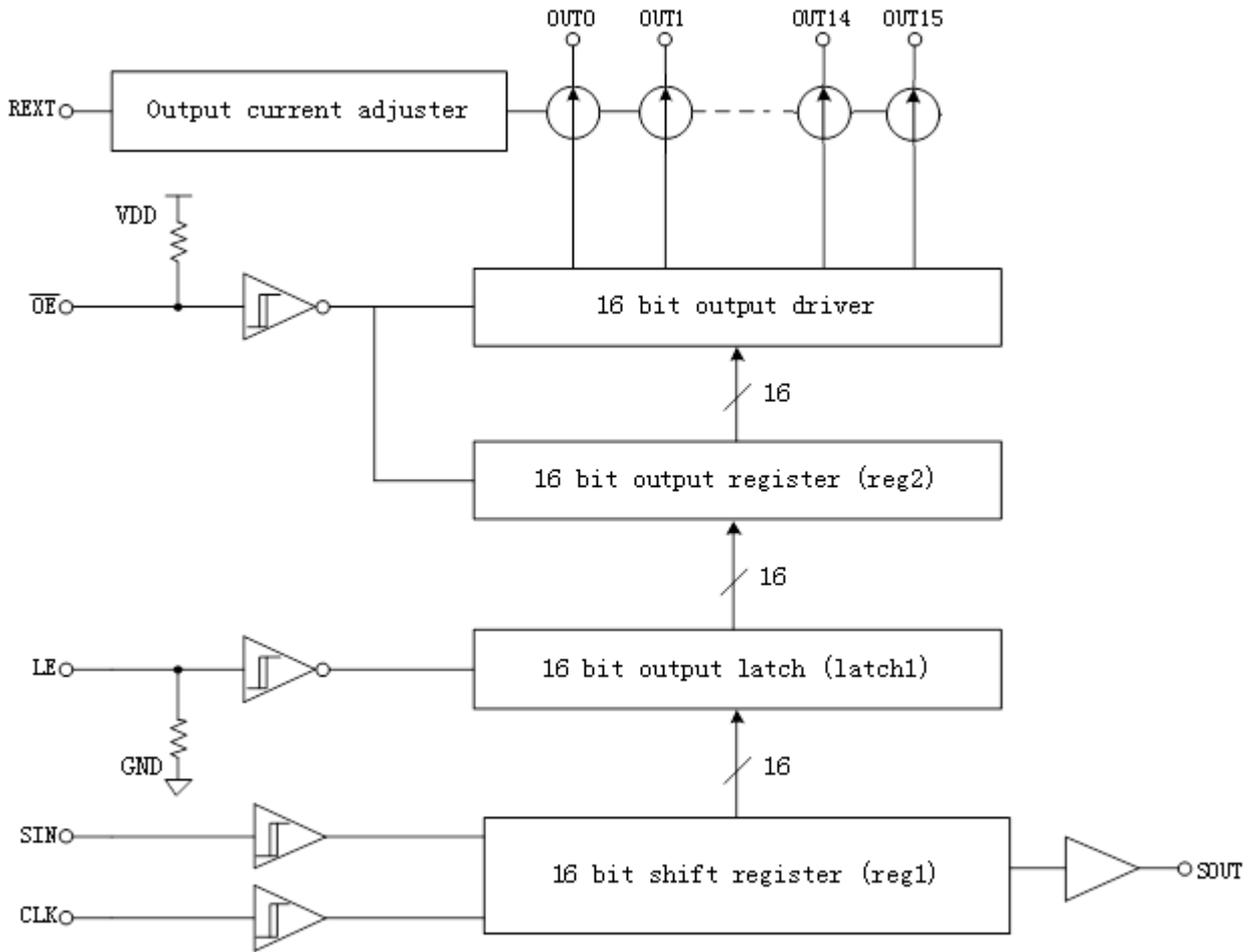
引脚说明

SSOP24-P-150-0. 635



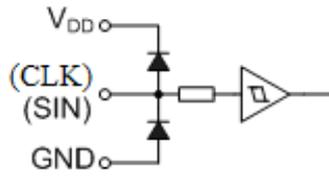
ICND2049 (SSOP24)		
Pin No.	Pin 名称	功能
1	GND	接地端
2	SIN	串行数据输入端
3	CLK	时钟信号输入端
4	LE	数据与指令的锁存端，不同的 LE 长度代表不同指令
5~20	OUT0~OUT15	恒流电流输出端
21	\overline{OE}	使能信号输入端 \overline{OE} 高电平时，关断 OUT0~OUT15 \overline{OE} 低电平时，打开 OUT0~OUT15
22	SOUT	串行数据输出端
23	REXT	外挂电阻输入端，可调节输出端恒流值
24	VDD	电源输入端

ICND2049 框图

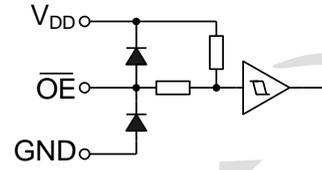


I/O 等效电路

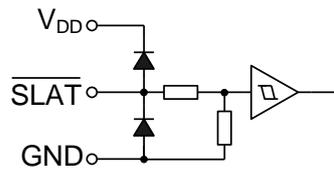
1. CLK, SIN



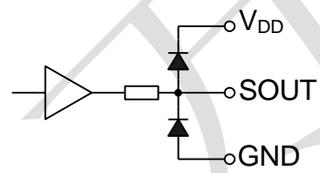
2. \overline{OE}



3. LE



4. SOUT



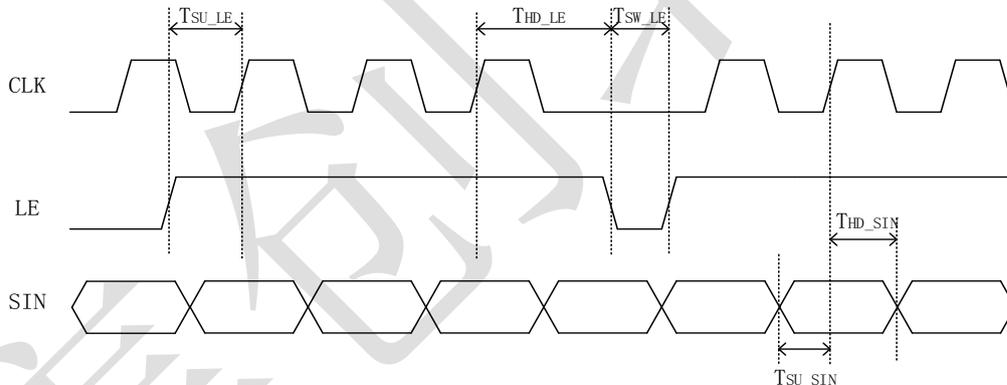
指令定义与配置寄存器

芯片包含一个简单的 16bit 移位寄存器，灰度值和配置值都会锁存到移位寄存器里面（先传输到芯片的数据为寄存器高位）。通过计数 LE 信号的长度来解析控制命令，不同的 LE 长度表示不同的命令。表 1 列出了所有命令及其释义。

指令定义

指令名称	LE	指令描述
Reset	0	芯片进行寄存器复位, 恢复寄存器默认值。(新版芯片要求 LE 必须包含 CLK 上升沿)
DATA_LATCH	3	普通数据锁存, 行数无变化
	4	换行数据锁存, 行数+1
	5	首行数据锁存。
--	4~10	Reserved
WR_REG1	11	写配置寄存器 1
WR_REG2	12	写配置寄存器 2

备注：LE 的长度是指当 LE 为高电平时，CLK 的上升沿个数。如下图所示，第一个 LE 信号的长度为 3，亦即该命令为“Data_Latch”命令。

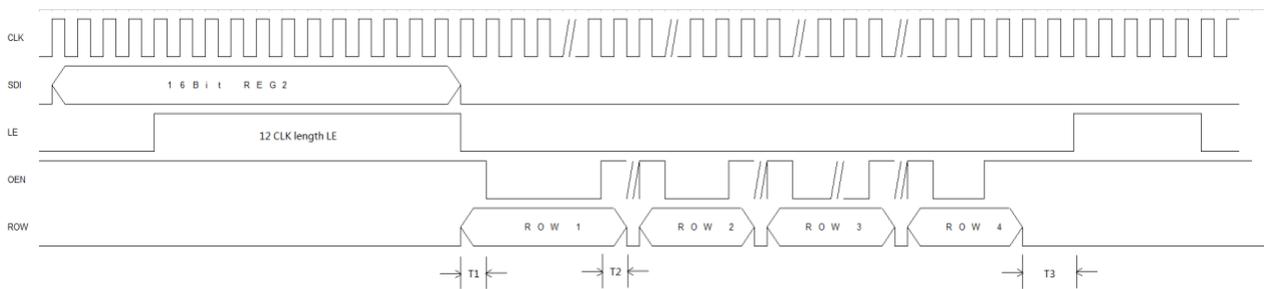


建立保持时间

LE 信号和 SIN 信号的建立保持时间如下表所示。

信号名称	MIN	备注
T_{SU_LE}	7ns	
T_{HD_LE}	7ns	
T_{SW_LE}	10ns	
T_{SU_SIN}	3ns	
T_{HD_SIN}	3ns	

开路检测



- 1 发送 REG1<10:7>=4' h0000; //将电流增益变为 25%
发送 REG2 <12:11>=2' h01; //执行开路检测
- 2 行扫信号切换到首行，连续发送 N 个 OE 开启信号 (N 为扫描数)，建议 OE 打开时间大于 200uS;
- 3 恢复 REG1 原配置值; //将电流增益恢复
发送 REG2 <12:11>=2' h11; //开路检测数据启用

说明:

- 1 T1, T2, T3 要求至少大于 1 个 CLK 时钟长度;
- 2 正常显示下，首行显示需要使用 5 个 CLK 长度 LE，其余行非换行数据使用 3 个 CLK 长度 LE，换行数据使用 4 个 CLK 长度 LE

寄存器

寄存器 1

BIT (R1)	NAME	Default	Description
<15:11>	R_UP	5'h1f	白平衡修调寄存器:
<10:7>	R_IGAIN	4'hf	电流增益选择: 25%~100% 0000~0110: $I_{OUT}=I_{OUT}*(25\%+<10:7>*3.125\%)$ 0111~1111: $I_{OUT}=I_{OUT}*(50\%+(<10:7>-7)*6.25\%)$
<6:4>	Test	3'h7	
<3:0>	Reserved	--	

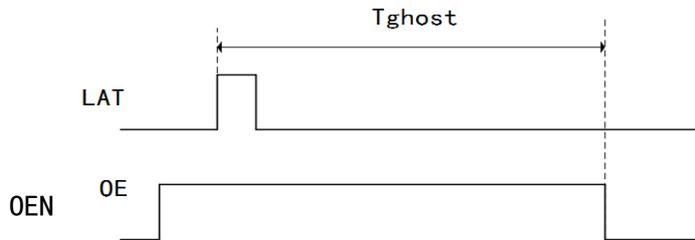
寄存器 2

BIT (R2)	NAME	Default	Description
<15:14>	Reserved	--	
<13>	UPDN_SEL	1'h0	白平衡修调电压范围选择寄存器
<12:11>	OPEN_D	2'h0	开路检测使能 2'h00, 2'h10: 开路检测关闭 2'h01: 进行开路检测, 刷新数据 2'h11: 开路检测数据启用
<10:9>	Reserved	2'h0	
<8>	R_UPCTRL	1'h0	消影电路使能信号选择
<7>	Reserved	--	
<6>	R_LATCH	1'h0	LATCH 方式选择 0: LE 小于 3CLK 宽度时, 输出通道不锁存数据; LE 等于 3/4/5 CLK 宽度时, 在 LE 下降沿处锁存数据 1: LE 下降沿锁存数据
<5>	R_UPCH	1'h0	消影控制
<4>	R_EN_AM	1'h0	内部调试使用
<3>	ROUT2<3>	1'h0	消影控制
<2>	Reserved	--	
<1:0>	R_OE<1:0>	2'h0	OE 展宽宽度选择

消影电路时序

ICND2049 消影电路与 ICN2038 一致。(Reg2 bit[8]=0 时)

芯片消影时间(T_{ghost})之定义如下图所示, 在 OE 信号为高时, 锁存信号(LAT)上升沿到使能信号(OEN)下降沿区间为消影时间。



消隐寄存器配置

消隐寄存器需配置的 reg2 bit[8]/bit[5]/bit[3]

普通模式对应的寄存器默认值为:

R: reg2 bit [8/5/3] = 010

G: reg2 bit [8/5/3] = 010

B: reg2 bit [8/5/3] = 010

增强模式对应的寄存器默认值为:

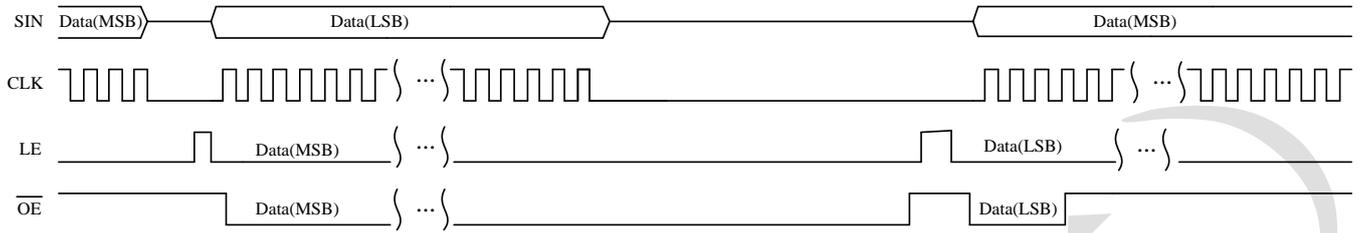
R: reg2 bit [8/5/3] = 111

G: reg2 bit [8/5/3] = 111

B: reg2 bit [8/5/3] = 111

ICND2049 提高刷新率的原理

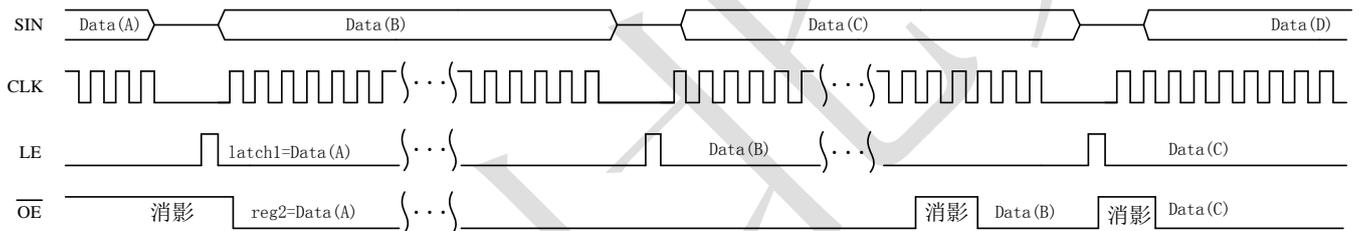
通用恒流源驱动芯片数据传送及数据显示时序图



通用恒流芯片在数据传输及数据显示如上图所示，数据传输及数据显示利用率低的原因：

1. 当显示一个高位数据的时候，数据显示的时间可能会比数据传输的时间大得多，在数据显示多余的时间内不能进行数据传输。
2. 当显示一个低位数据的时候，数据显示的时间可能会比数据传输的时间小得多，在数据传输多余的时间内不能进行数据显示。

ICND2049 数据传送及数据显示时序图



ICND2049 数据传送及数据显示时序见上图所示，data(A)和data(C)为高位数据，data(B)和data(D)为低位数据。将显示数据高低位按时间进行组合，使显示高位数据多余时间可以利用起来进行数据传输，或者说利用传输数据的时间来进行高位的显示，将传数据和显示数据完美的配合起来，可以有效的提高显示刷新率，基本步骤如下：

1. 当 data(A) 传送完成后，在 LE 上产生一个 latch 信号，锁存 data(A)
2. 完成 data(A) 锁存后，由 $\overline{OE} > 0$ ，寄存 data(A) 并显示 data(A)
3. 在显示 data(A) 的同时，对 data(B) 进行传送
4. data(B) 传送完成后，由 LE 产生 latch 信号，锁存 data(B)，并接着传送 data(C)
5. 完成 data(A) 的显示后，寄存 data(B) 并显示 data(B)
6. 完成 data(C) 的传送，完成 data(B) 的显示
7. 寄存 data(C) 和传送 data(D)，(同步骤 1)

真值表

CLK	LE	\overline{OE}	SIN	OUT0 ... OUT7 ... OUT15	SOUT
	H	L	D_n	$D_n \dots D_{n-7} \dots D_{n-15}$	D_{n-15}
	L	L	D_{n+1}	无变化	D_{n-14}
	H	L	D_{n+2}	$D_{n+2} \dots D_{n-5} \dots D_{n-13}$	D_{n-13}
	X	L	D_{n+3}	$D_{n+2} \dots D_{n-5} \dots D_{n-13}$	D_{n-13}
	X	H	D_{n+3}	OFF	D_{n-13}

最大工作范围 (Ta=25°C)

特性	符号	额定值	单位
电源电压	V_{DD}	0~7.0	V
输出电流	I_o	45	mA
输入电压	V_{IN}	-0.4~ $V_{DD}+0.4$	V
输出耐受电压	V_{OUT}	10V	
时钟频率	F_{CLK}	25	MHz
接地端电流	I_{GND}	+1000	mA
消耗功耗 (印刷电路板上, 25°C)	DN-type P_D	3.19	W
热阻抗	DN-type $R_{th(j-a)}$	39.15	°C/W
工作温度	T_{opr}	-40 ~ 85	°C
存储温度	T_{stg}	-55 ~ 150	°C

直流特性 (Ta=-40°C~85°C, 如不另外说明)

特性	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}	-	3.3	5	6.0	V
ON 时的输出电压	$V_{O(ON)}$	OUTn	0.6	-	4	V
高电平逻辑输入电压	V_{IH}	-	0.7* V_{DD}	-	V_{DD}	V
低电平逻辑输入电压	V_{IL}	-	GND	-	0.3* V_{DD}	V
SOUT 高电平输出电流	I_{OH}	$V_{DD}=5V$	-	-	-1	mA
SOUT 低电平输出电流	I_{OL}	$V_{DD}=5V$	-	-	1	mA
恒流输出	I_o	OUTn	0.5	-	45	mA

电气特性 (V_{DD}=4.5~5.5V, T_a=25°C, 如不另外说明)

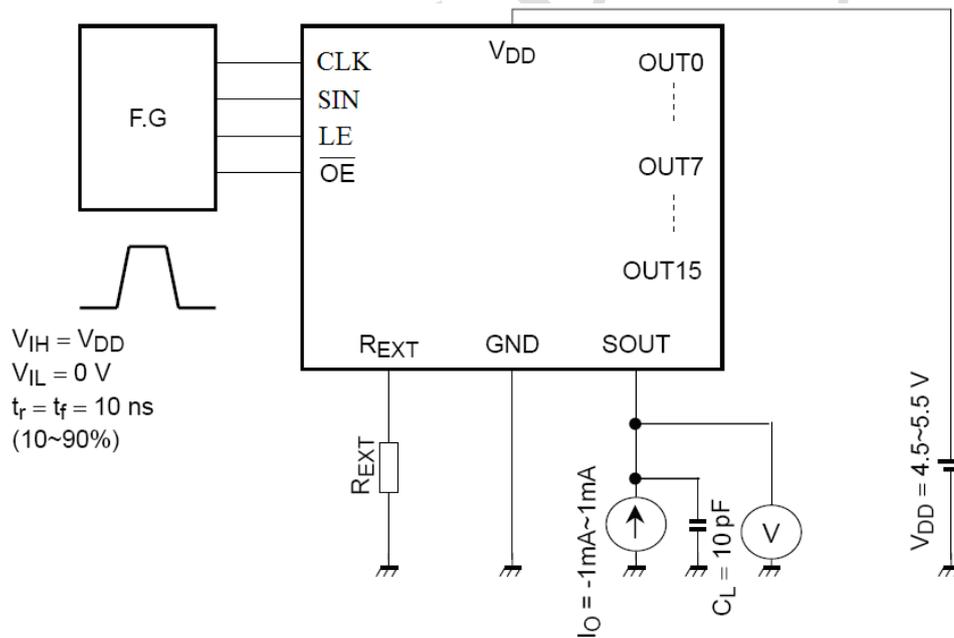
特性	符号	测试电路	测试条件	最小值	典型值	最大值	单位
高电平逻辑输出电压	V _{OH}	1	I _{OH} =-1mA, SOUT	V _{DD} -0.4	-	V _{DD}	V
低电平逻辑输出电压	V _{OL}	1	I _{OH} =+1mA, SOUT	-	-	0.4	V
高电平逻辑输入电流	I _{IH}	2	V _{IN} =V _{DD} , $\overline{\text{OE}}$, SIN, CLK	-	-	1	μA
低电平逻辑输入电流	I _{IL}	3	V _{IN} =GND, LE, SIN, CLK	-	-	-1	μA
电源电流	I _{DD2}	4	R _{ext} =1.24kΩ, OUT off	-	4.8	7.3	mA
	I _{DD3}	4	R _{ext} =620Ω, OUT off	-	6.3	9.2	mA
	I _{DD4}	4	R _{ext} =1.24kΩ, OUT on	-	5.5	8.7	mA
	I _{DD5}	4	R _{ext} =620Ω, OUT on	-	6.6	9.7	mA
恒流输出	I _{O1}	5	V _{DD} =5.0V, V _O =1.0V, R _{EXT} =1.23kΩ	-	15	-	mA
	I _{O2}	5	V _{DD} =5.0V, V _O =1.0V, R _{EXT} =615Ω	-	30	-	mA
恒流误差	ΔI _O	5	V _{DD} =5.0V, V _O =1.0V, R _{EXT} =1.23kΩ, OUT0 ~ OUT15	-	±0.15	±0.37	mA
恒流电源电压调节	%V _{DD}	5	V _{DD} =4.5~5.5V, V _O =1.0V, R _{EXT} =1.24kΩ, OUT0 ~ OUT15	-	±0.2	-	%/V
恒流输出电压调节	%V _{OUT}	5	V _{DD} =5.0V, V _O =1.0~3.0V, R _{EXT} =1.24kΩ, OUT0 ~ OUT15	-	±0.1	-	%/V
上拉电阻	R _{UP}	3	$\overline{\text{OE}}$	250	500	800	kΩ
下拉电阻	R _{DOWN}	2	LE	250	500	800	kΩ

开关特性 (T_a=25°C, V_{DD}=5.0V, 如不另外说明)

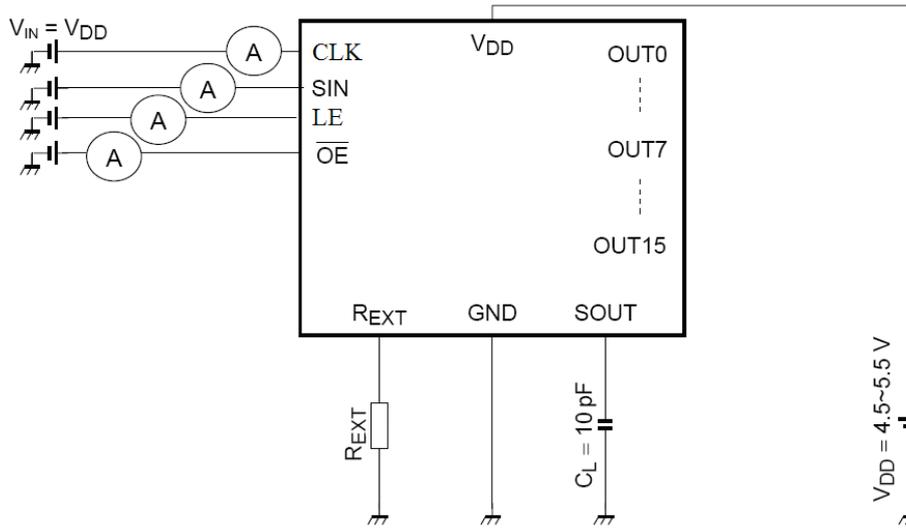
特性	符号	测试电路	测试条件	最小值	典型值	最大值	单位
传输延迟时间	\overline{OE} -OUT0	t _{pLH3}	6	LE=H	-	52	ns
	\overline{OE} -OUT1	t _{pHL3}	6	LE=H	-	31	
	CLK-SOUT	t _{pHL2}	6	-	-	50%	CLK
输出端上升时间	t _{or}	6	电压波形的 10~90%	-	38	ns	
输出端下降时间	t _{of}	6	电压波形的 90~10%	-	31	ns	

测试电路

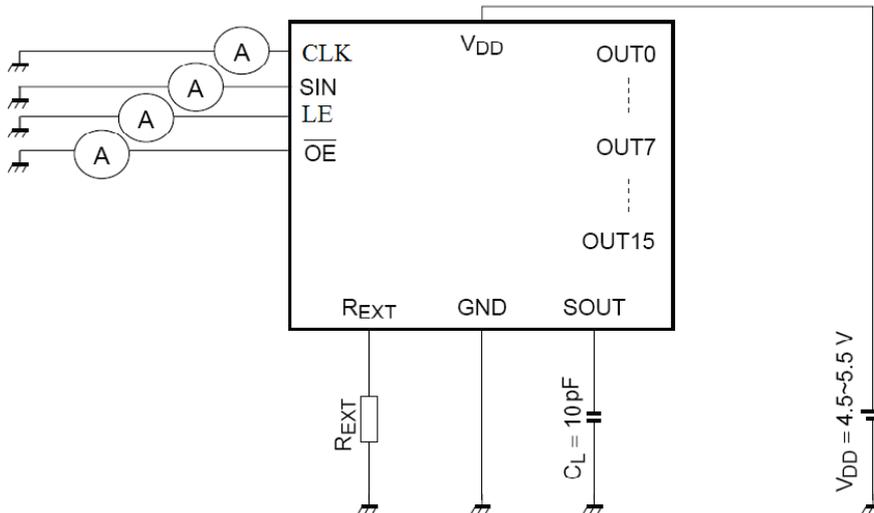
测试电路 1: 高电平逻辑输入电压/低电平逻辑输入电压



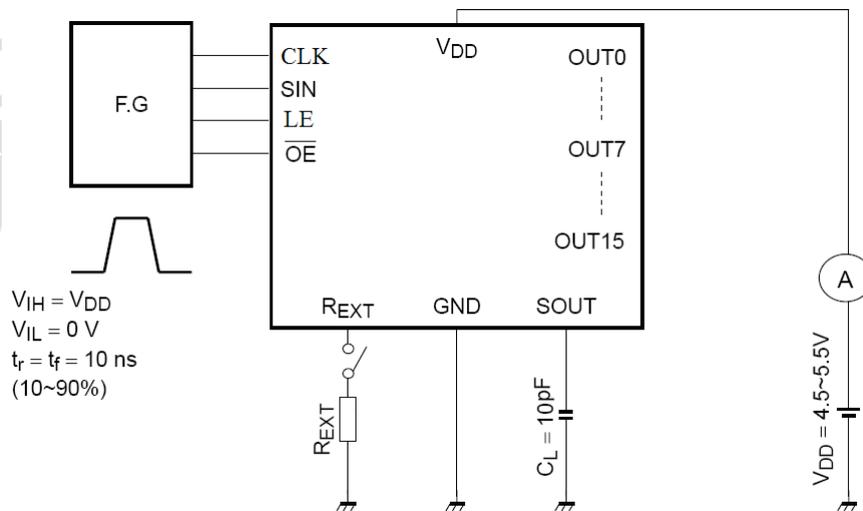
测试电路 2：高电平逻辑输入电流/下拉电阻



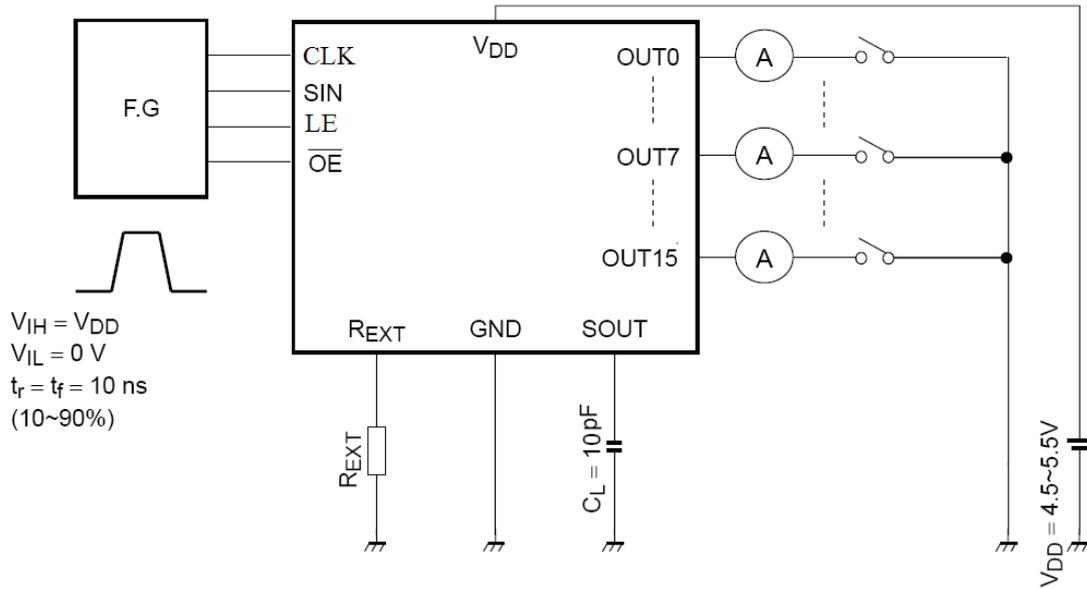
测试电路 3：低电平逻辑输入电流/上拉电阻



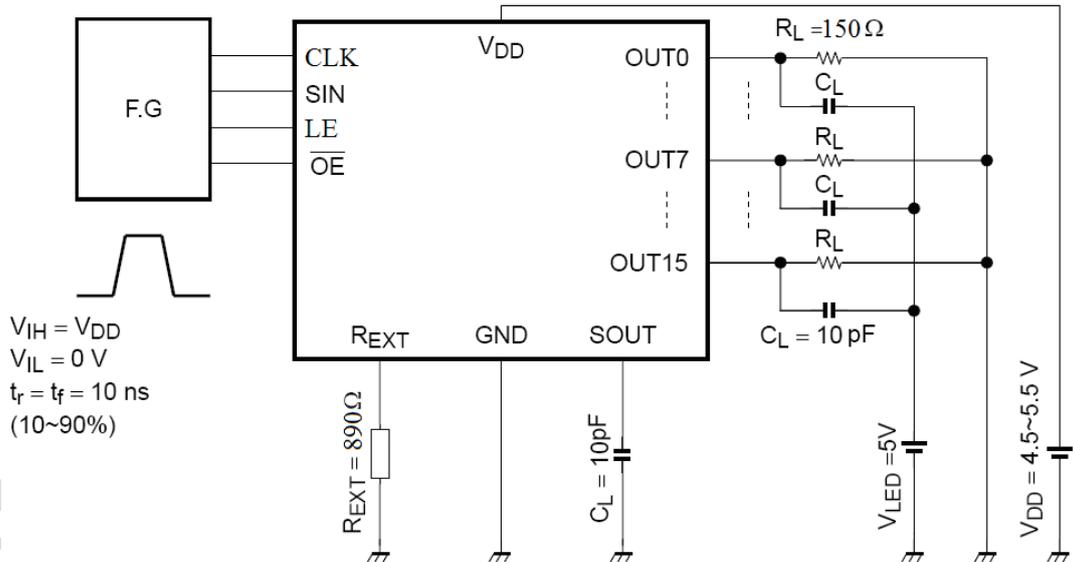
测试电路 4：电源电流



测试电路 5: 恒流输出/输出 OFF 漏电流/恒流误差
恒流电源电压调节/恒流输出电压调节



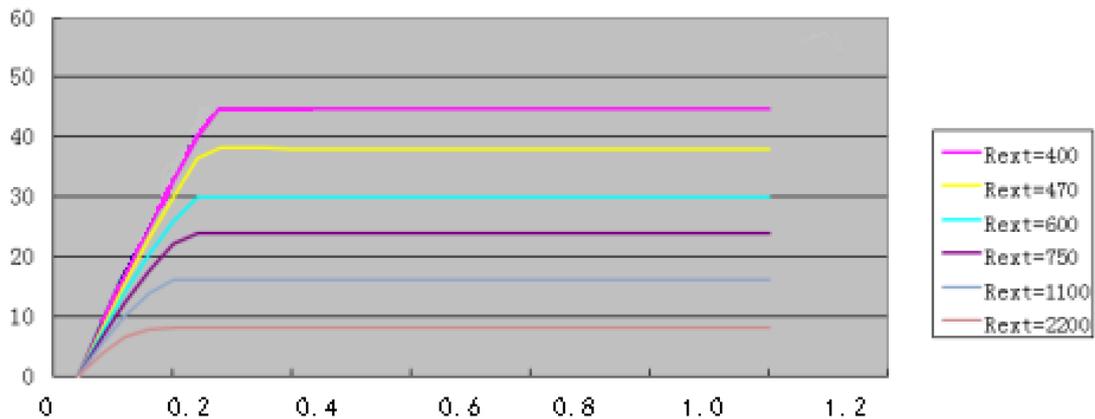
测试电路 6: 开关特性



应用信息

ICND2049采用了精确电流驱动控制技术，同一芯片的不同通道间，不同芯片之间的电流差异极小。

- 1) 通道间电流差异 $<\pm 2.0\%$ ，芯片间的电流差异 $<\pm 2.0\%$ 。
- 2) 具有不受负载端电压影响的电流输出特性，如下图所示。输出电流将不随LED 正向电压 V_f 的变化而变化。

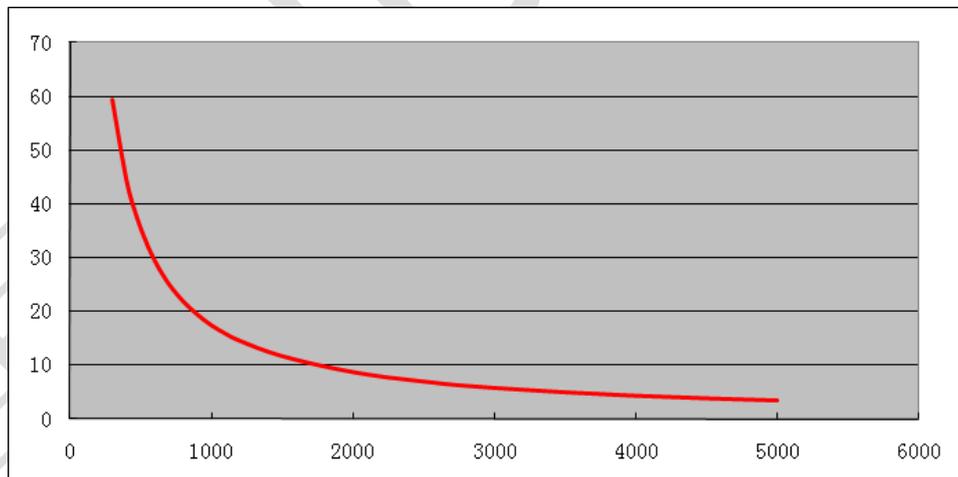


调节输出电流

ICND2049 通过外接电阻 R_{ext} 来调节输出电流 (I_{out})，计算公式为：

$$V_{R-EXT}=1.232V;$$

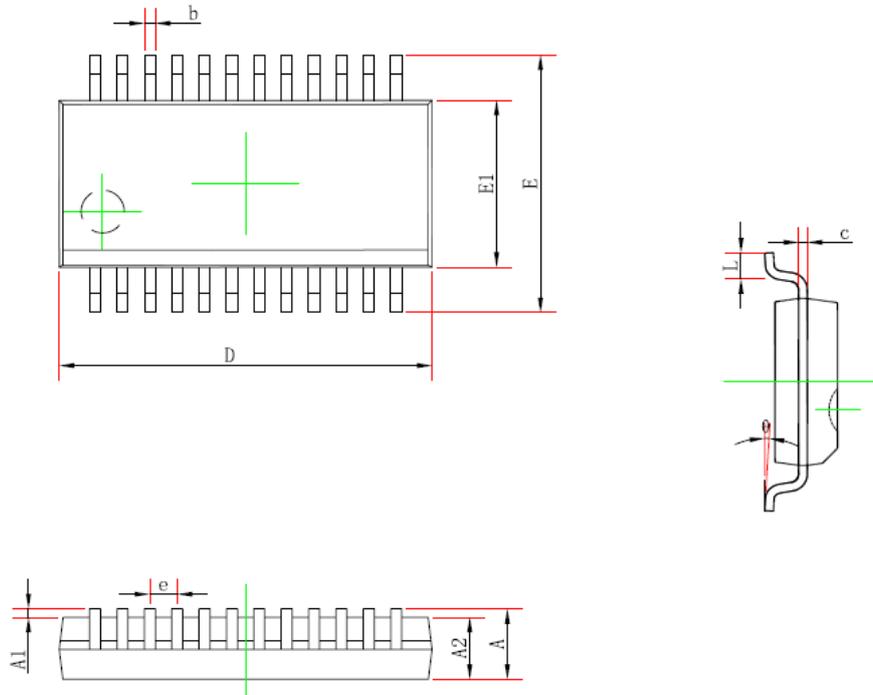
$$I_{out}=(V_{R-EXT}/R_{ext}) * 15 \quad (\text{Gain}=100\%)$$



封装尺寸

SSOP24-P-150-0.635

SSOP24 (150mil) PACKAGE OUTLINE DIMENSIONS



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	—	1.750	—	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	—	0.049	—
b	0.203	0.305	0.008	0.012
c	0.102	0.254	0.004	0.010
D	8.450	8.850	0.333	0.348
E1	3.800	4.000	0.150	0.157
E	5.800	6.200	0.228	0.244
e	0.635 (BSC)		0.025 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

产品订购信息

产品编号	封装（无铅环保）	重量（mg）
ICND2049AP	SSOP24-0.635	130

版本说明

Rev	Date	Description
1.0	2018/08	初次发布
1.1	2018/09	修改开路检测时序

声明：

- 北京集创北方科技股份有限公司保留说明书的更改权，恕不另行通知！
- ⌚ 任何半导体产品在特定条件下都有一定的失效或发生故障的可能，用户有责任在使用Chipone产品进行系统设计和整机制造时遵守安全标准并采取安全措施，以避免潜在失败风险及可能造成人身伤害或财产损失情况的发生！

集智创芯，我公司将竭诚为客户提供更优秀的产品！