LMC6482 CMOS 双路轨到轨输入和输出运算放大器

1 特性

- 除非另有说明，否则为典型值
- 轨到轨输入共模电压范围（已在不同温度下得到保证）
- 轨到轨输出摆幅（在 20mV 电源轨以内、负载为 100kΩ）
- 良好的3V、5V 和 15V 性能
- 出色的 CMRR 和 PSRR：82dB
- 超低输入电流：20fA
- 高电压增益 (R L = 500kΩ)：130dB
- 为 2kΩ 和 600Ω 负载指定
- 电源正常输出
- 采用 VSSOP 封装

2 应用

- 数据采集系统
- 传感器放大器
- 手持式分析仪器
- 医疗仪器
- 有源滤波器、峰值检测器、采样保持、pH 计、电流源
- 经过改进的 TLC272、TLC277 的替代品

3 说明

LMC6482 器件能够提供可扩展到两种电源轨的共模范围。该器件不仅具备轨至轨性能，而且还可借助高 CMRR 提供出色的精度，从而在轨到轨输入放大器中独树一帜。该器件是需要大输入信号范围的系统（如数据采集）的理想选择。LMC6482 也是使用有限共模范围放大器（如 TLC272 和 TLC277）的电路的出色升级。

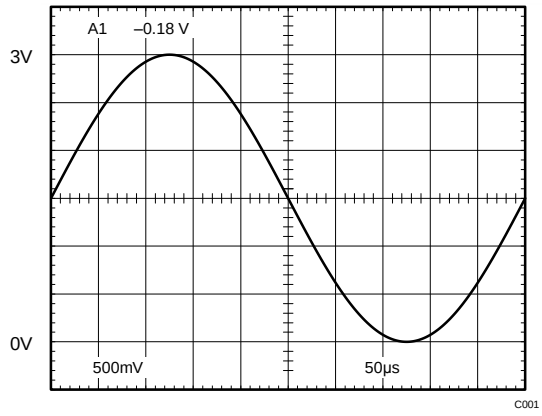
借助 LMC6482 的轨到轨输出摆幅，低电压和单电源系统中的最大动态信号范围得以保证。对于低至 600Ω 的器件负载，轨到轨输出摆幅也能得到保证。由于 LMC6482 拥有得到保证的低电压和低功耗特性，因此特别适合使用电池供电的系统。LMC6482 还采用了 VSSOP 封装，大小几乎是 SOIC-8 器件的一半。请参阅 LMC6484 产品说明书，了解四路 CMOS 运算放大器，该放大器具有以上相同 特性。

器件信息(1)

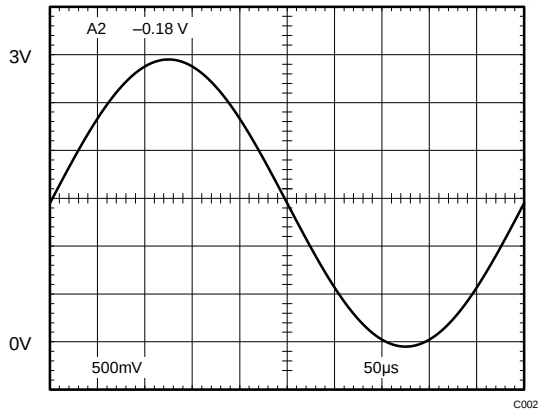
器件型号	封装	封装尺寸（标称值）
LMC6482	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
	PDIP (8)	9.81mm × 6.35mm

(1) 要了解所有可用封装，请参见产品说明书末尾的可订购产品附录。

轨到轨输入



轨到轨输出



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 3
6.1 绝对最大额定值 ... 3
6.2 ESD 额定值 ... 4
6.3 建议的工作条件 ... 4
6.4 热性能信息 ... 4
6.5 V^+ = 5V 时的电气特性 ... 4
6.6 V^+ = 3V 时的电气特性 ... 7
6.7 典型特性 ... 9
7 详细 说明 ... 18
7.1 概述 ... 18
7.2 功能框图 ... 18
7.3 特性 说明 ... 18
7.4 器件功能模式 ... 19
8 应用和实现 ... 20
8.1 应用信息 ... 20
8.2 典型 应用 ... 22
9 电源相关建议 ... 28
10 布局 ... 28
10.1 布局准则 ... 28
10.2 布局示例 ... 28
11 器件和文档支持 ... 30
11.1 商标 ... 30
11.2 静电放电警告 ... 30
11.3 Glossary ... 30
12 机械、封装和可订购信息 ... 30

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision D (March 2013) to Revision E **Page**

- 已添加 *引脚配置和功能*部分，*ESD 额定值*表，*特性 说明* 部分，*器件功能模式*，*应用和实施*部分，*电源相关建议*部分，*布局*部分，*器件和文档支持*部分以及*机械、封装和可订购信息*部分 ... 1

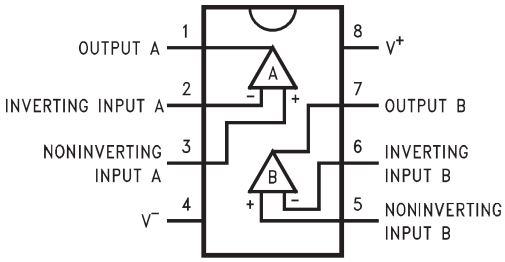
Changes from Revision C (March 2013) to Revision D **Page**

- Changed 将美国国家半导体产品说明书的布局更改为 TI 格式 ... 27

Copyright © 1997–2015, Texas Instruments Incorporated

5 引脚配置和功能

D、DGK 和 P 封装
8 引脚 SOIC、VSSOP 和 PDIP
（俯视图）



引脚功能

引脚		类型	说明
编号	名称		
1	输出 A	O	放大器 A 的输出
2	反相输入 A	I	放大器 A 的反相输入
3	同相输入 A	I	放大器 A 的同相输入
4	V^-	P	负电源电压输入
5	同相输入 B	I	放大器 B 的同相输入
6	反相输入 B	I	放大器 B 的反相输入
7	输出 B	O	放大器 B 的输出
8	V^+	P	正电源电压输入

6 规格

6.1 绝对最大额定值

自然通风工作温度范围内（除非另有说明）(1)(2)

	最小值	最大值	单位
差分输入电压		±电源电压	
输入/输出引脚处的电压	(V^-) −0.3	(V^+) +0.3	V
电源电压 ($V^+ - V^-$)		16	V
输入引脚处的电流 (3)	−5	5	mA
输出引脚处的电流 (4) (5)	−30	30	mA
电源引脚处的电流		40	mA
引线温度（焊接时，10 秒）		260	°C
结温 (6)		150	°C
存储温度，T_{stg}	−65	150	°C

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 如果需要军用/航天专用器件，请与 TI 销售办事处/经销商联系，以了解可用性和技术规格。
(3) 只有当输入电压超过绝对最大额定输入电压时才需要限制输入引脚电流。
(4) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 ±30mA 会对可靠性造成不利影响。
(5) 当 V^+ 大于 13V 时，请勿短路输出到 V^+，否则会对可靠性造成不利影响。
(6) 最大功率损耗是 $T_{J(max)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率损耗为 $P_D = (T_{J(max)} - T_A)/\theta_{JA}$。所有数字均适用于直接焊接到 PC 板的封装。

Copyright © 1997–2015, Texas Instruments Incorporated

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±1500	V

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压		3	15.5	V
结温范围	LMC6482AM	–55	125	°C
	LMC6482AI、LMC6482I	–40	−85	°C

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。

6.4 热性能信息

热指标(1)	LMC6482 D (SOIC) 8 引脚	LMC6482 DGK (VSSOP) 8 引脚	LMC6482 P (PDIP) 8 引脚	单位
$R_{\theta JA}$ 结至环境热阻	155	194	90	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告（文献号：SPRA953）。

6.5 V^+ = 5V 时的电气特性

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1M。

参数	测试条件		T_J = 25°C 最小值	典型值(2)	最大值(3)	在极端温度下(1) 最小值	典型值(2)	最大值(3)	单位
直流电气特性									
V_{OS} 输入失调电压		LMC6482AI		0.11	0.75			1.35	mV
		LMC6482I		0.11	3			3.7	
		LMC6482M		0.11	3			3.8	
TCV_{OS} 输入失调电压平均漂移				1					µV/°C
I_B 输入电流	请参阅 (4)	LMC6482AI		0.02				4	pA
		LMC6482I		0.02				4	
		LMC6482M		0.02				10	
I_{OS} 输入失调电流	请参阅 (4)	LMC6482AI		0.01				2	pA
		LMC6482I		0.01				2	
		LMC6482M		0.01				5	
C_{IN} 共模输入电容				3					pF
R_{IN} 输入电阻				10					TeraΩ
CMRR 共模抑制比	0V ≤ V_{CM} ≤ 15V, V^+ = 15V	LMC6482AI	70	82		67			dB
		LMC6482I	65	82		62			
		LMC6482M	65	82		60			
	0V ≤ V_{CM} ≤ 5V, V^+ = 5V	LMC6482AI	70	82		67			
		LMC6482I	65	82		62			
		LMC6482M	65	82		60			

(1) 请参阅*建议的工作条件*，以了解有关工作温度范围的信息。
(2) 典型值表示最可能的参数标准。
(3) 所有限值均根据测试或统计分析确定。
(4) 确定的限值取决于测试仪限制，而非器件性能。典型值反映的是实际性能。

Copyright © 1997–2015, Texas Instruments Incorporated

V^+ = 5V 时的电气特性 (continued)

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1M。

参数		测试条件			T_J = 25°C			在极端温度下(1)			单位
					最小值	典型值(2)	最大值(3)	最小值	典型值(2)	最大值(3)	
+PSRR	正电源抑制比	5V ≤ V^+ ≤ 15V，V^- = 0V，V_O = 2.5V	LMC6482AI		70	82		67			dB
			LMC6482I		65	82		62			
			LMC6482M		65	82		60			
−PSRR	负电源抑制比	−5V ≤ V^- ≤ −15V，V^+ = 0V，V_O = −2.5V	LMC6482AI		70	82		67			dB
			LMC6482I		65	82		62			
			LMC6482M		65	82		60			
V_{CM}	输入共模电压范围	V^+ = 5V 和 15V（当 CMRR ≥ 50dB 时）	LMC6482AI			V^- − 0.3	−0.25			0	V
			LMC6482I			V^- − 0.3	−0.25			0	
			LMC6482M			V^- − 0.3	−0.25			0	
			LMC6482AI		V^+ + 0.25	V^+ + 0.3		V^+			V
			LMC6482I		V^+ + 0.25	V^+ + 0.3		V^+			
			LMC6482M		V^+ + 0.25	V^+ + 0.3		V^+			
A_V	大信号电压增益	R_L = 2kΩ(5)(4)	拉电流	LMC6482AI	140	666		84			V/mV
				LMC6482I	120	666		72			
				LMC6482M	120	666		60			
			灌电流	LMC6482AI	35	75		20			V/mV
				LMC6482I	35	75		20			
				LMC6482M	35	75		18			
		R_L = 600Ω(5)(4)	拉电流	LMC6482AI	80	300		48			V/mV
				LMC6482I	50	300		30			
				LMC6482M	50	300		25			
			灌电流	LMC6482AI	20	35		13			V/mV
				LMC6482I	15	35		10			
				LMC6482M	15	35		8			

(5) V^+ = 15V、V_{CM} = 7.5V 且 R_L 已连接至 7.5V。对于拉电流测试，7.5V ≤ V_O ≤ 11.5V。对于灌电流测试，3.5V ≤ V_O ≤ 7.5V。

Copyright © 1997–2015, Texas Instruments Incorporated

V^+ = 5V 时的电气特性 (continued)

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1MΩ。

参数		测试条件		T_J = 25°C			在极端温度下(1)			单位
				最小值	典型值(2)	最大值(3)	最小值	典型值(2)	最大值(3)	
V_O	输出摆幅	V^+ = 5V R_L = 2kΩ（连接至 V^+/2）	LMC6482AI	4.8	4.9		4.7			V
			LMC6482I	4.8	4.9		4.7			
			LMC6482M	4.8	4.9		4.7			
			LMC6482AI		0.1	0.18			0.24	V
			LMC6482I		0.1	0.18			0.24	
			LMC6482M		0.1	0.18			0.24	
		V^+ = 5V R_L = 600Ω（连接至 V^+/2）	LMC6482AI	4.5	4.7		4.24			V
			LMC6482I	4.5	4.7		4.24			
			LMC6482M	4.5	4.7		4.24			
			LMC6482AI		0.3	0.5			0.65	
			LMC6482I		0.3	0.5			0.65	
			LMC6482M		0.3	0.5			0.65	
		V^+ = 15V R_L = 2kΩ（连接至 V^+/2）	LMC6482AI	14.4	14.7		14.2			V
			LMC6482I	14.4	14.7		14.2			
			LMC6482M	14.4	14.7		14.2			
			LMC6482AI		0.16	0.32			0.45	
			LMC6482I		0.16	0.32			0.45	
			LMC6482M		0.16	0.32			0.45	
		V^+ = 15V R_L = 600Ω（连接至 V^+/2）	LMC6482AI	13.4	14.1		13			V
			LMC6482I	13.4	14.1		13			
			LMC6482M	13.4	14.1		13			
			LMC6482AI		0.5	1			1.3	V
			LMC6482I		0.5	1			1.3	
			LMC6482M		0.5	1			1.3	
I_{SC}	输出短路电流 V^+ = 5V	拉电流，V_O = 0V	LMC6482AI	16	20		12			mA
			LMC6482I	16	20		12			
			LMC6482M	16	20		10			
		灌电流，V_O = 5V	LMC6482AI	11	15		9.5			mA
			LMC6482I	11	15		9.5			
			LMC6482M	11	15		8			
I_{SC}	输出短路电流 V^+ = 15V	拉电流，V_O = 0V	LMC6482AI	28	30		22			mA
			LMC6482I	28	30		22			
			LMC6482M	28	30		20			
		灌电流， V_O = 12V(6)	LMC6482AI	30	30		24			mA
			LMC6482I	30	30		24			
			LMC6482M	30	30		22			
I_S	电源电流	两个放大器 V^+ = +5V， V_O = V^+/2	LMC6482AI		1	1.4			1.8	mA
			LMC6482I		1	1.4			1.8	
			LMC6482M		1	1.4			1.9	
		两个放大器 V^+ = 15V， V_O = V^+/2	LMC6482AI		1.3	1.6			1.9	mA
			LMC6482I		1.3	1.6			1.9	
			LMC6482M		1.3	1.6			2	

(6) 当 V^+ 大于 13V 时，请勿短路输出到 V^+，否则会对可靠性造成不利影响。

Copyright © 1997–2015, Texas Instruments Incorporated

V^+ = 5V 时的电气特性 (continued)

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1MΩ。

参数		测试条件		T_J = 25°C			在极端温度下(1)			单位
				最小值	典型值(2)	最大值(3)	最小值	典型值(2)	最大值(3)	
交流电气特性										
SR	压摆率	请参阅 (7)	LMC6482AI	1	1.3		0.7			V/μs
			LMC6482I	0.9	1.3		0.63			
			LMC6482M	0.9	1.3		0.54			V/μs
GBW	增益带宽积	V^+ = 15V			1.5					MHz
φ_m	相位裕度				50					度
G_m	增益裕量				15					dB
	放大器到放大器隔离	请参阅 (8)			150					dB
e_n	输入参考电压噪声	F = 1kHz V_{cm} = 1V			37					nV/√Hz
I_n	输入参考电流噪声	F = 1kHz			0.03					pA/√Hz
T.H.D.	总谐波失真	F = 10kHz，A_V = −2 R_L = 10kΩ， V_O = 4.1V_{PP}			0.01%					
		F = 10kHz，A_V = −2 R_L = 10kΩ， V_O = 8.5V_{PP} V^+ = 10V			0.01%					

(7) V + = 15V。已作为电压跟随器与 10V 阶跃输入连接。指定的数字是正压摆率和负压摆率中较低的值。
(8) 输入参考，V^+ = 15V 且 R_L = 100kΩ 已连接至 7.5V。每个放大器依次接受 1kHz 的频率，产生 V_O = 12V_{PP}。

6.6 V^+ = 3V 时的电气特性

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 3V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1MΩ。

参数		测试条件		T_J = 25°C			在极端温度下(1)			单位
				最小值	典型值(2)	最大值(3)	最小值	典型值(2)	最大值(3)	
直流电气特性										
V_{OS}	输入失调电压		LMC6482AI		0.9	2			2.7	mV
			LMC6482I		0.9	3			3.7	
			LMC6482M		0.9	3			3.8	
TCV_{OS}	输入失调电压平均漂移				2					μV/°C
I_B	输入偏置电流				0.02					pA
I_{OS}	输入失调电流				0.01					pA
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 3V	LMC6482AI	64	74					dB
			LMC6482I	60	74					
			LMC6482M	60	74					
PSRR	电源抑制比	3V ≤ V^+ ≤ 15V，V^- = 0V	LMC6482AI	68	80					dB
			LMC6482I	60	80					
			LMC6482M	60	80					

(1) 请参阅*建议的工作条件*，以了解有关工作温度范围的信息。
(2) 典型值表示最可能的参数标准。
(3) 所有限值均根据测试或统计分析确定。

Copyright © 1997–2015, Texas Instruments Incorporated

V^+ = 3V 时的电气特性 (continued)

除非另有说明，否则指定的所有限值均是针对以下条件：T_J = 25°C、V^+ = 3V、V^- = 0V、V_{CM} = V_O = V^+/2 以及 R_L > 1M。

参数		测试条件		T_J = 25°C			在极端温度下(1)			单位
				最小值	典型值(2)	最大值(3)	最小值	典型值(2)	最大值(3)	
V_{CM}	输入共模电压范围	当 CMRR ≥ 50dB 时	LMC6482AI		V^- −0.25	0				V
			LMC6482I		V^- −0.25	0				
			LMC6482M		V^- −0.25	0				
			LMC6482AI	V^+	V^+ + 0.25					V
			LMC6482I	V^+	V^+ + 0.25					
			LMC6482M	V^+	V^+ + 0.25					
V_O	输出摆幅	R_L = 2kΩ（连接至 V^+/2）			2.8					V
					0.2					V
		R_L = 600Ω（连接至 V^+/2）	LMC6482AI	2.5	2.7					V
			LMC6482I	2.5	2.7					
			LMC6482M	2.5	2.7					
			LMC6482AI		0.37	0.6				V
			LMC6482I		0.37	0.6				
			LMC6482M		0.37	0.6				
I_S	电源电流	两个放大器	LMC6482AI		0.825	1.2			1.5	mA
			LMC6482I		0.825	1.2			1.5	
			LMC6482M		0.825	1.2			1.6	
交流电气特性										
SR	压摆率	请参阅 (4)			0.9					V/μs
GBW	增益带宽积				1					MHz
T.H.D.	总谐波失真	F = 10kHz，A_V = −2 R_L = 10kΩ，V_O = $2V_{PP}$			0.01%					

(4) 已作为电压跟随器与 2V 阶跃输入连接。指定的数字是正压摆率和负压摆率中较低的值。

Copyright © 1997–2015, Texas Instruments Incorporated

6.7 典型特性

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

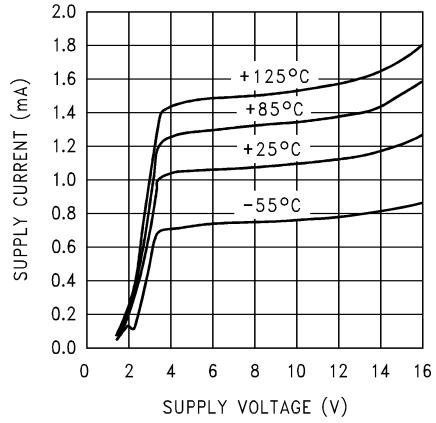


Figure 1. 电源电流与电源电压间的关系

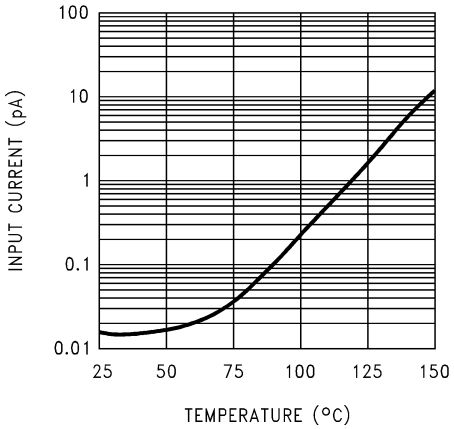


Figure 2. 输入电流与温度间的关系

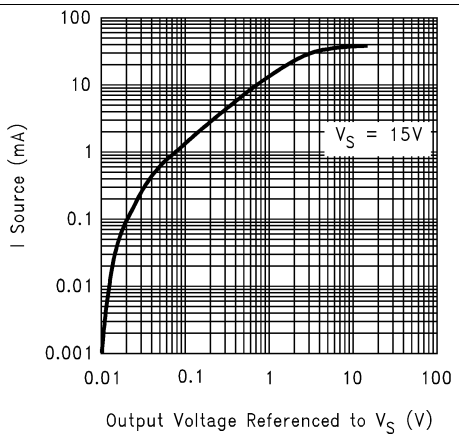


Figure 3. 拉电流与输出电压间的关系

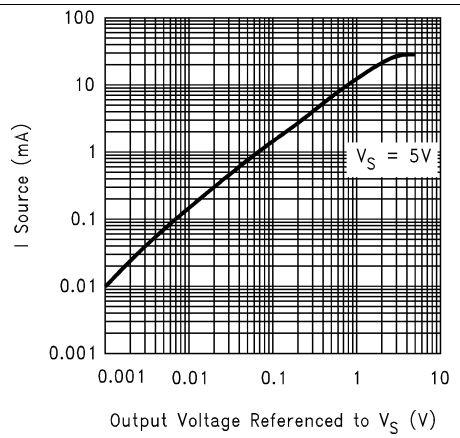


Figure 4. 拉电流与输出电压间的关系

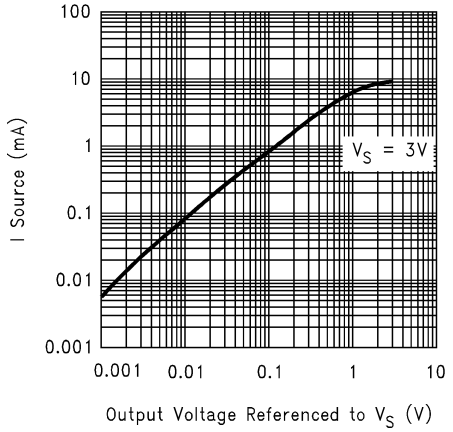


Figure 5. 拉电流与输出电压间的关系

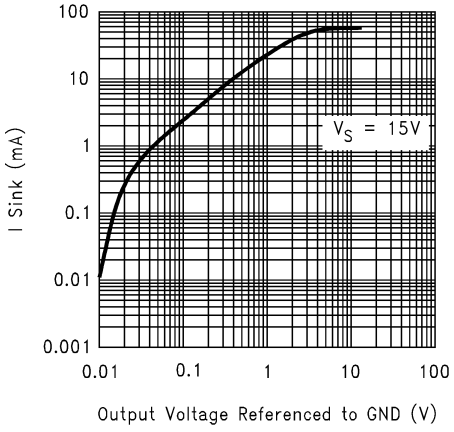


Figure 6. 灌电流与输出电压间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

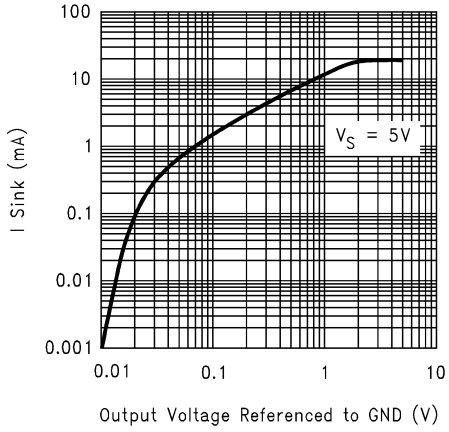


Figure 7. 灌电流与输出电压间的关系

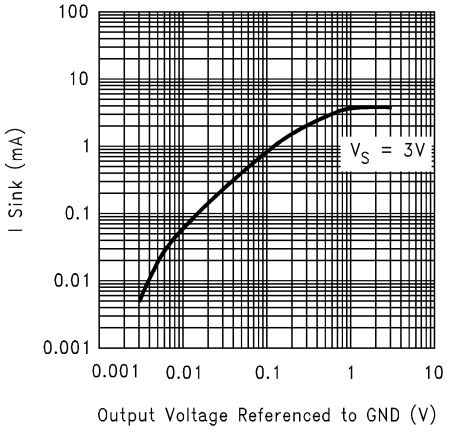


Figure 8. 灌电流与输出电压间的关系

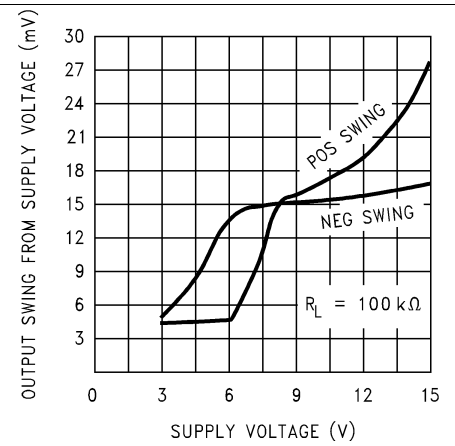


Figure 9. 输出电压摆幅与电源电压间的关系

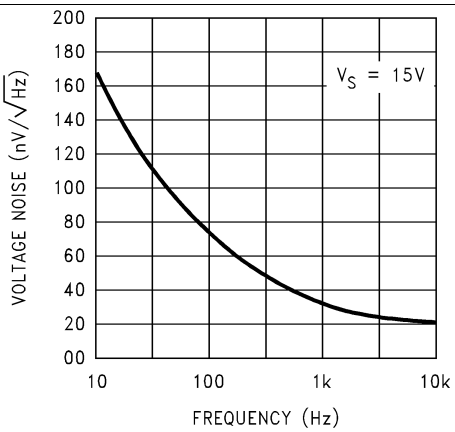


Figure 10. 输入电压噪声与频率间的关系

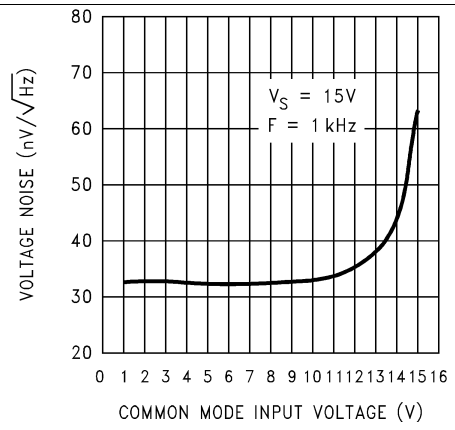


Figure 11. 输入电压噪声与输入电压间的关系

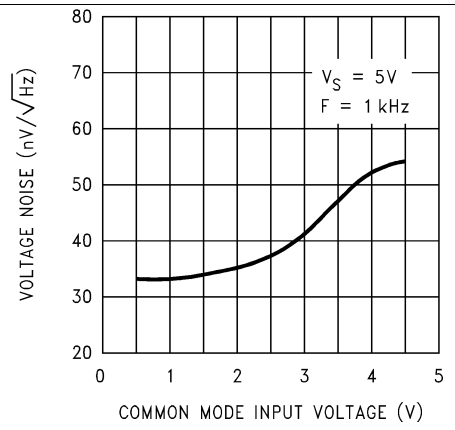


Figure 12. 输入电压噪声与输入电压间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

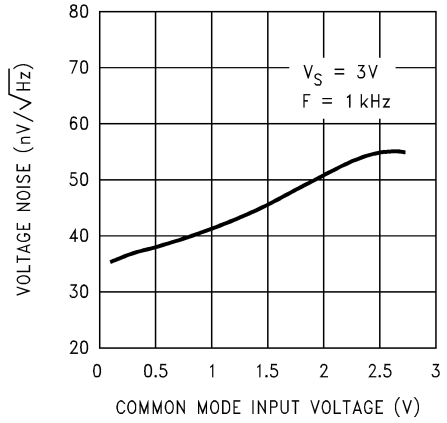


Figure 13. 输入电压噪声与输入电压间的关系

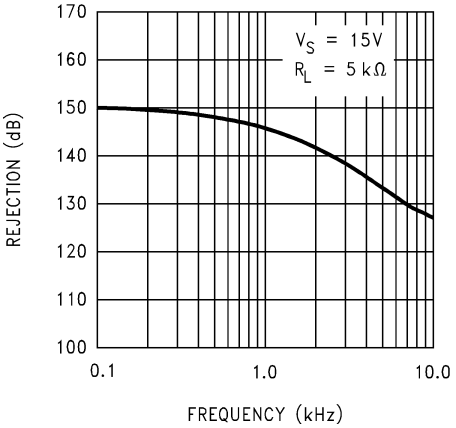


Figure 14. 串扰抑制与频率间的关系

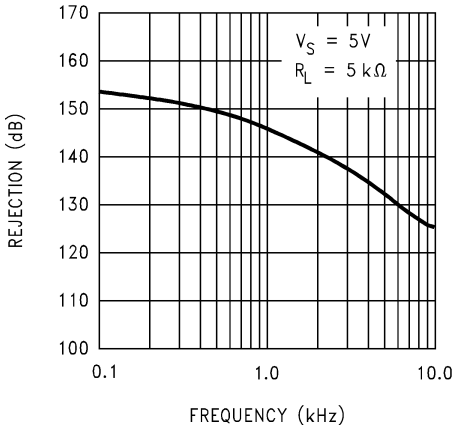


Figure 15. 串扰抑制与频率间的关系

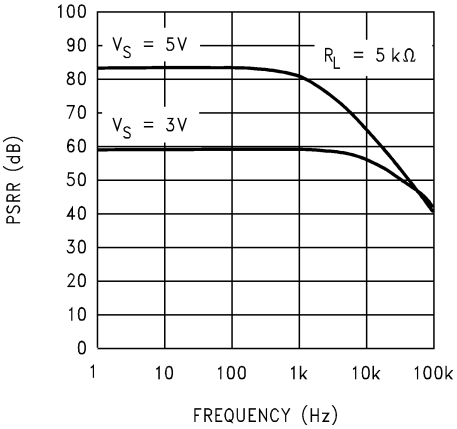


Figure 16. 正 PSRR 与频率间的关系

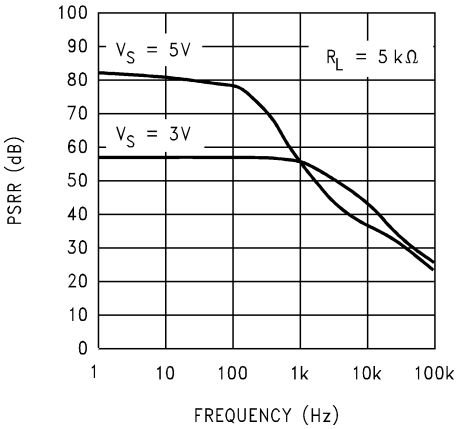


Figure 17. 负 PSRR 与频率间的关系

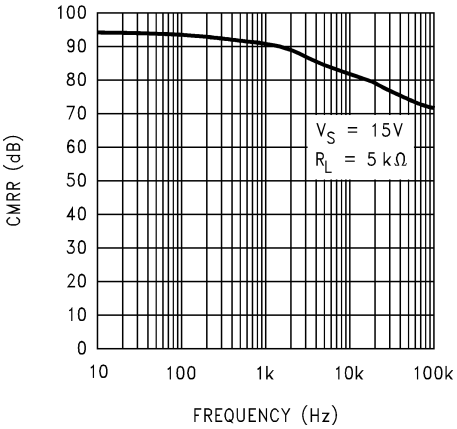


Figure 18. CMRR 与频率间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

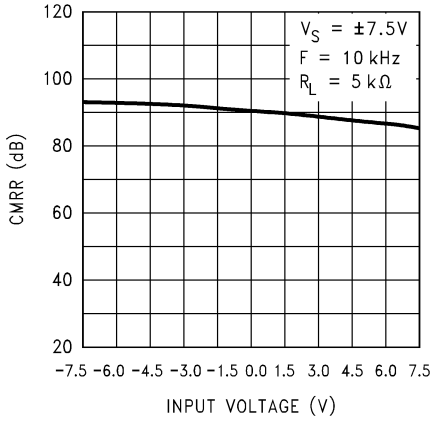


Figure 19. CMRR 与输入电压间的关系

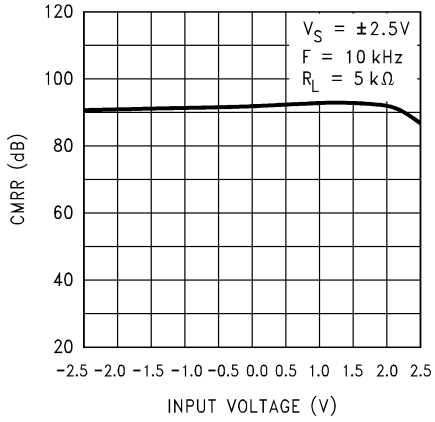


Figure 20. CMRR 与输入电压间的关系

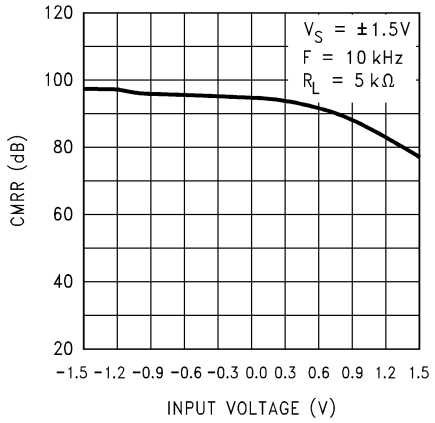


Figure 21. CMRR 与输入电压间的关系

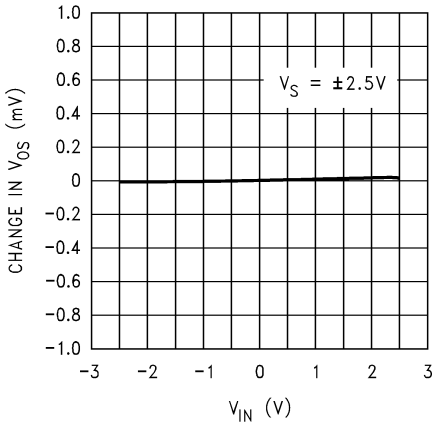


Figure 22. Δv_{OS} 与CMR 间的关系

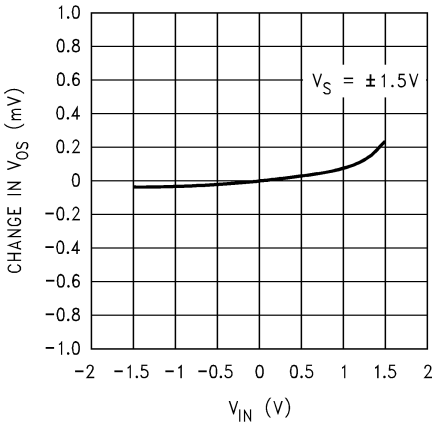


Figure 23. Δv_{OS} 与CMR 间的关系

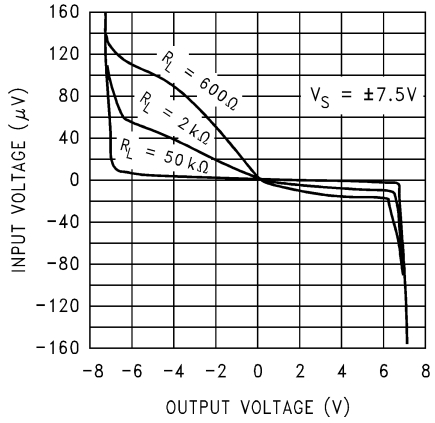


Figure 24. 输入电压与输出电压间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

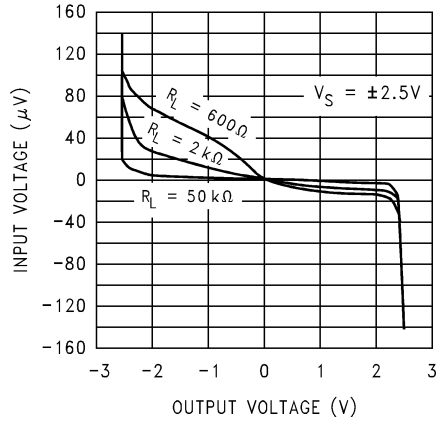


Figure 25. 输入电压与输出电压间的关系

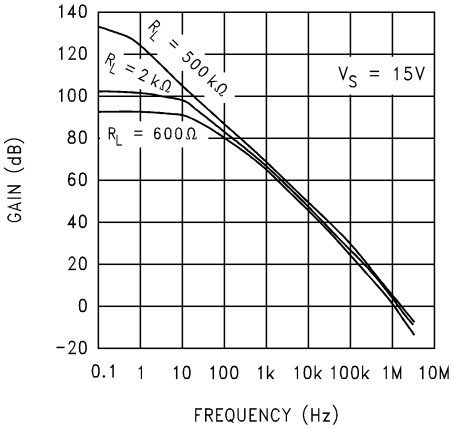


Figure 26. 开环频率响应

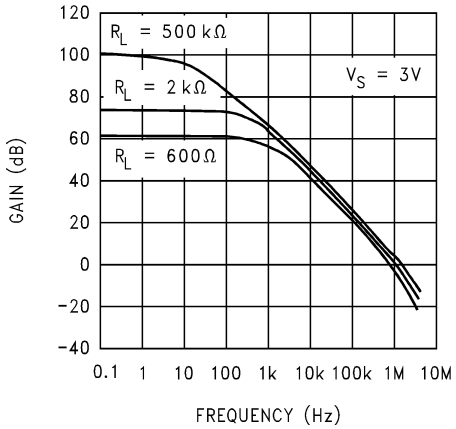


Figure 27. 开环频率响应

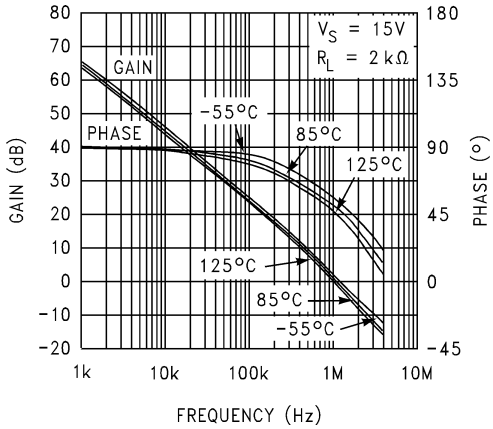


Figure 28. 开环频率响应与温度间的关系

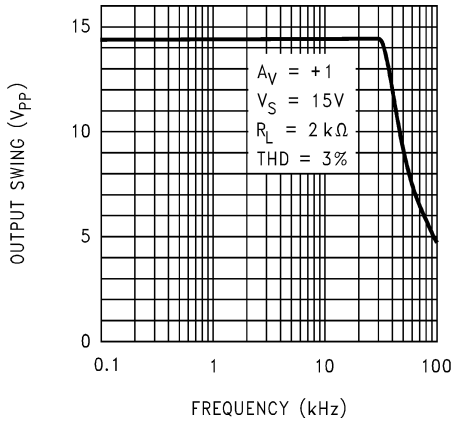


Figure 29. 最大输出摆幅与频率间的关系

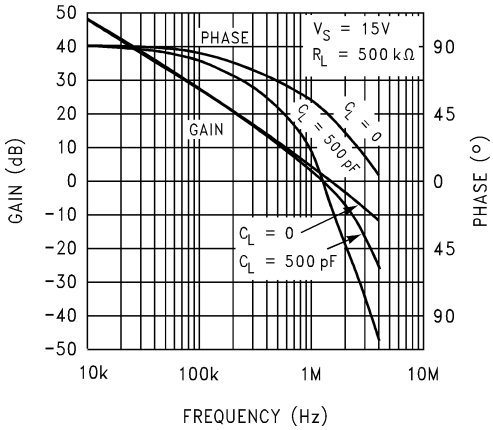


Figure 30. 增益和相位与容性负载间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

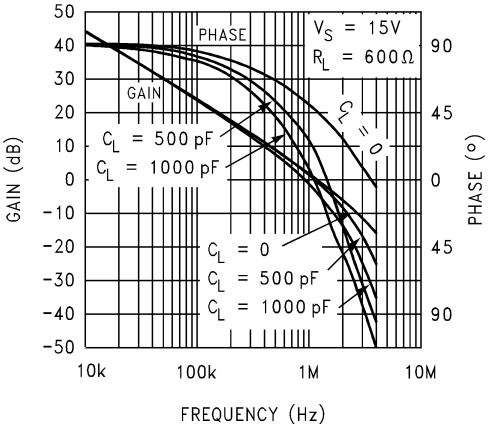


Figure 31. 增益和相位与容性负载间的关系

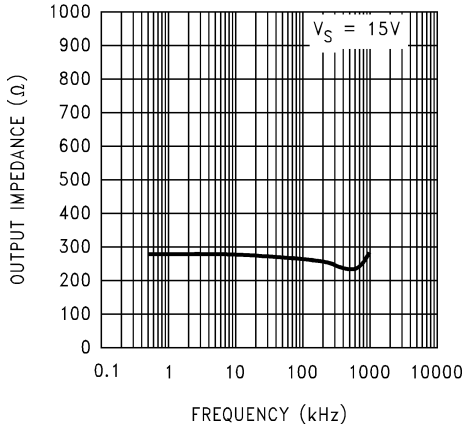


Figure 32. 开环输出阻抗与频率间的关系

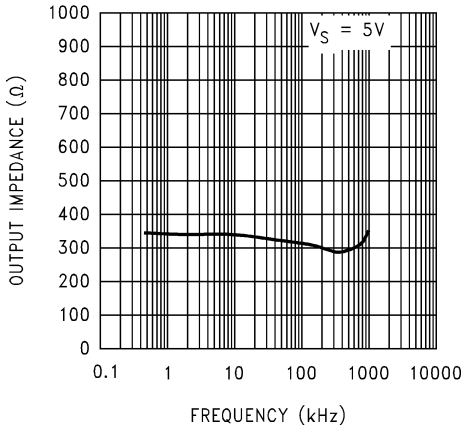


Figure 33. 开环输出阻抗与频率间的关系

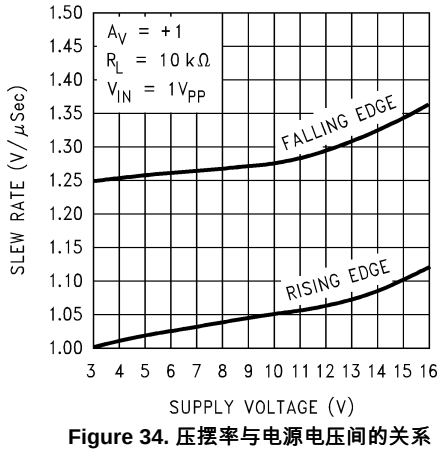


Figure 34. 压摆率与电源电压间的关系

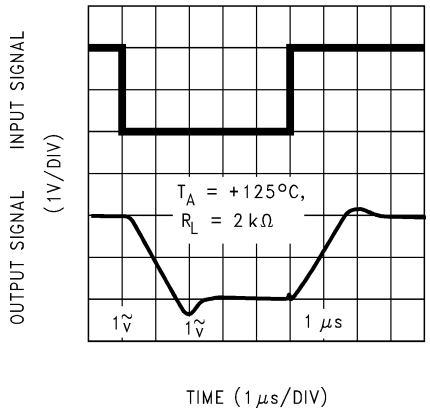


Figure 35. 同相大信号脉冲响应

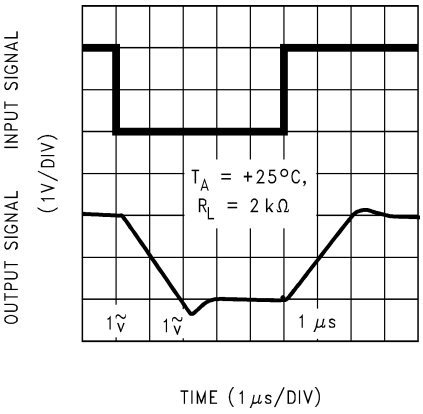


Figure 36. 同相大信号脉冲响应

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

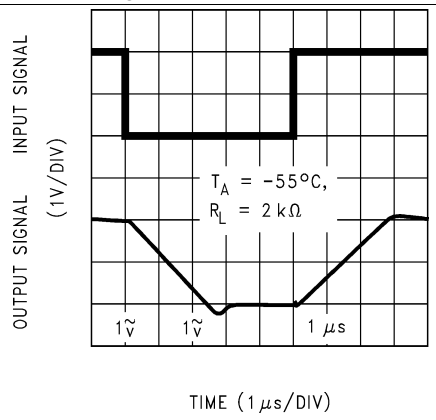


Figure 37. 同相大信号脉冲响应

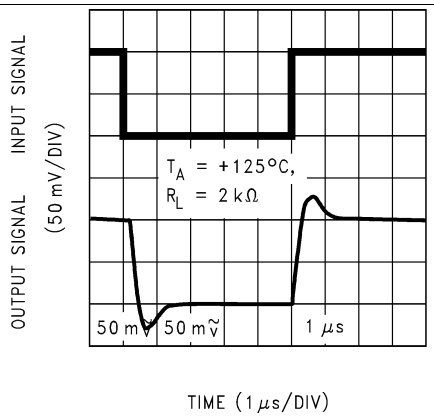


Figure 38. 同相小信号脉冲响应

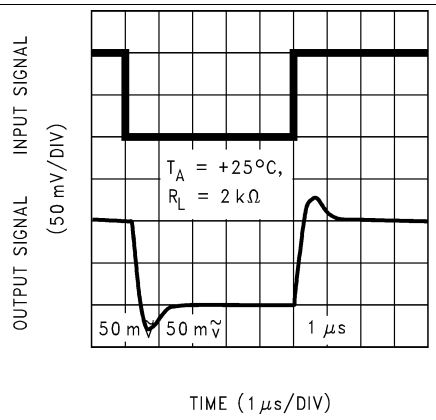


Figure 39. 同相小信号脉冲响应

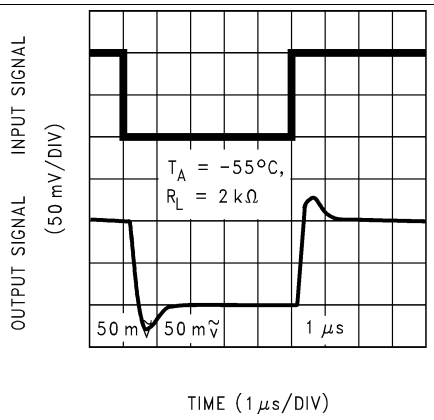


Figure 40. 同相小信号脉冲响应

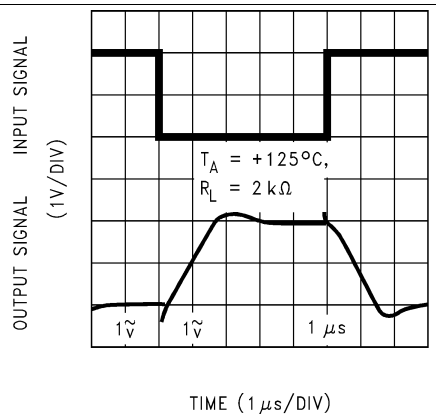


Figure 41. 反相大信号脉冲响应

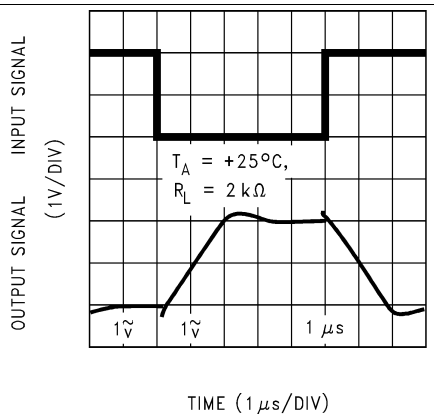


Figure 42. 反相大信号脉冲响应

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

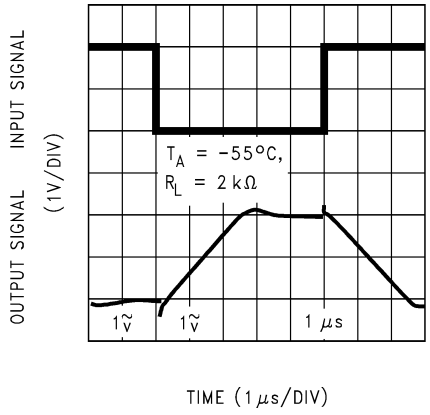


Figure 43. 反相大信号脉冲响应

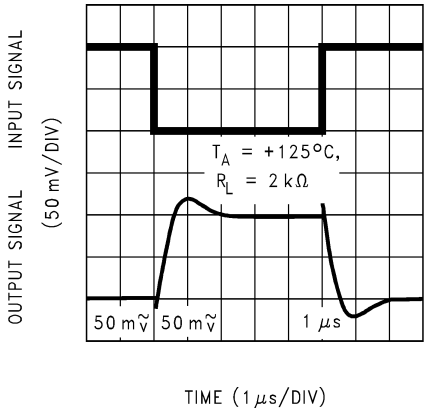


Figure 44. 反相小信号脉冲响应

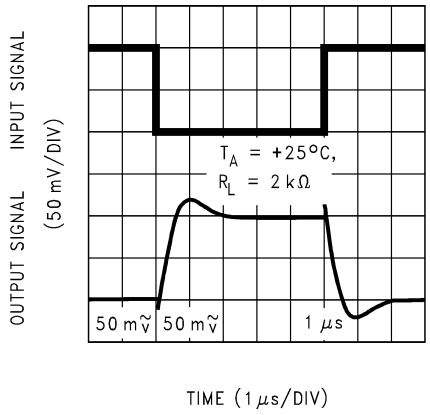


Figure 45. 反相小信号脉冲响应

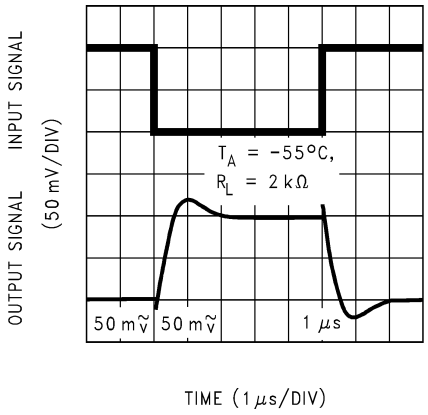


Figure 46. 反相小信号脉冲响应

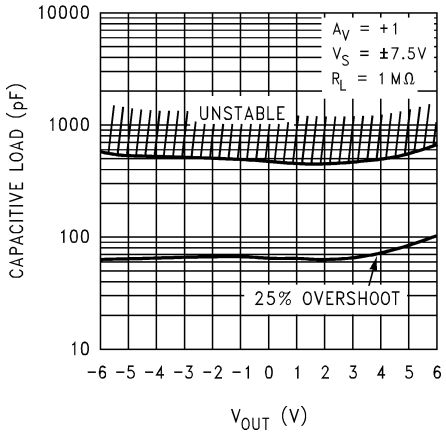


Figure 47. 稳定性与容性负载间的关系

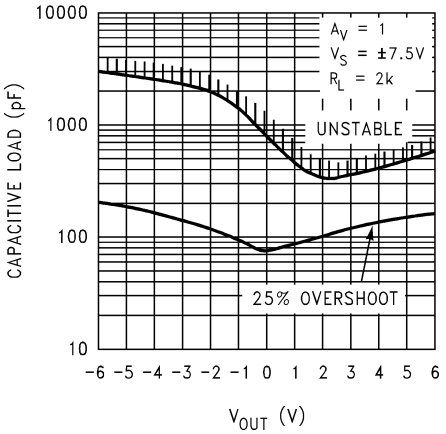


Figure 48. 稳定性与容性负载间的关系

Copyright © 1997–2015, Texas Instruments Incorporated

典型特性 (continued)

除非另有说明，否则 V_S = 15V、单电源，T_A = 25°C

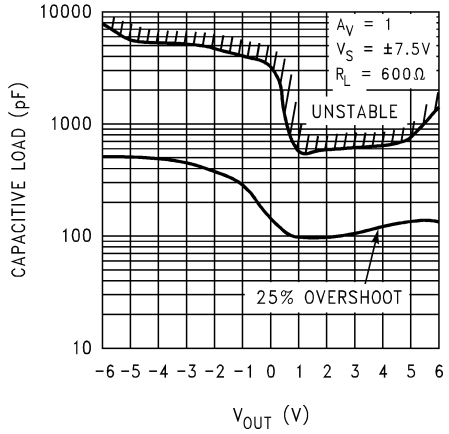


Figure 49. 稳定性与容性负载间的关系

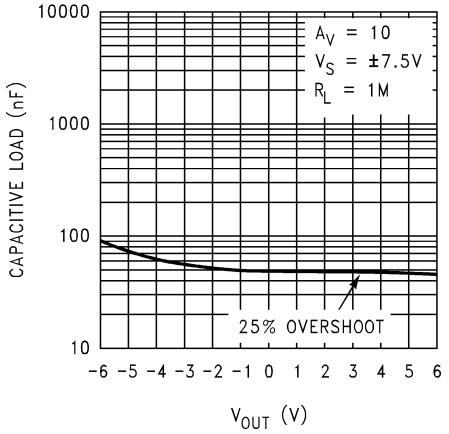


Figure 50. 稳定性与容性负载间的关系

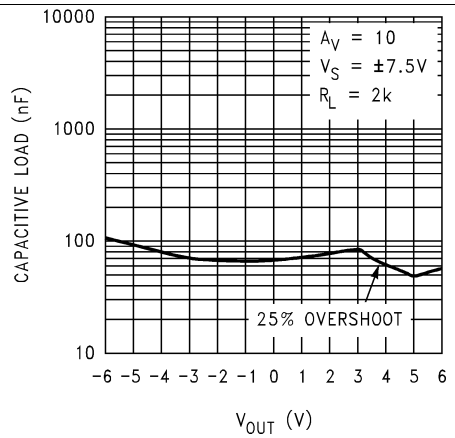


Figure 51. 稳定性与容性负载间的关系

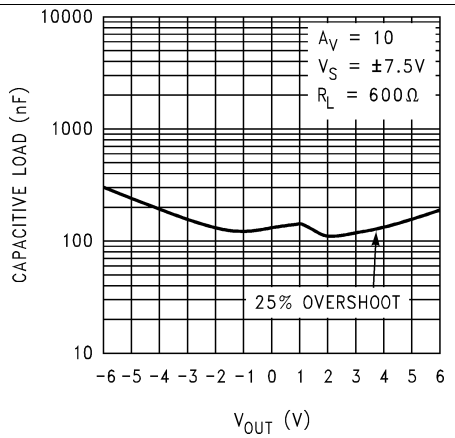


Figure 52. 稳定性与容性负载间的关系

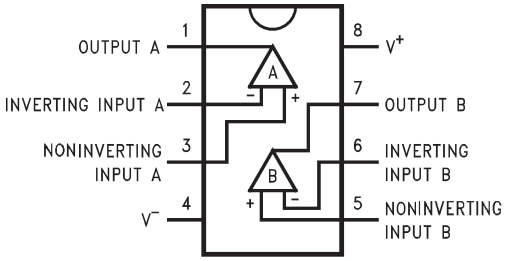
Copyright © 1997–2015, Texas Instruments Incorporated

7 详细 说明

7.1 概述

LMC6482 是一种双路 CMOS 运算放大器，同时支持轨到轨输入和输出。它可以在双电源和单电源两种模式下运行。

7.2 功能框图



7.3 特性 说明

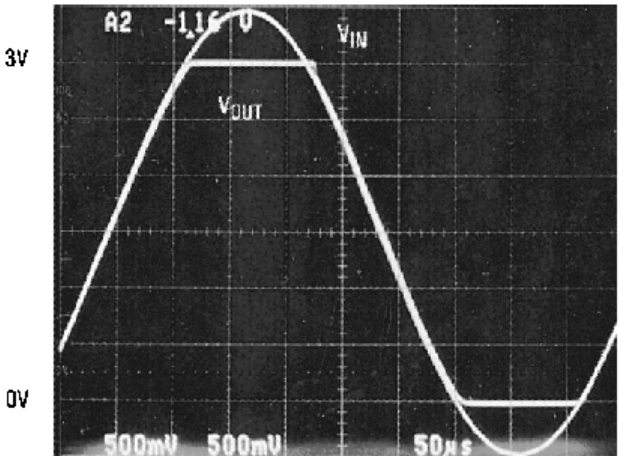
7.3.1 放大器拓扑

LMC6482 采用了经过专门设计的宽范围电流镜，可利用体效应将输入共模范围扩展到每个电源轨。正如在其他 CMOS 和双极轨到轨输入放大器中使用的类型，由于互补并联差分输入级存在 CMRR、交叉失真和开环增益变化所导致的固有精度问题，因此并未使用。

LMC6482 的输入级设计采用了一个输出级作为补充，该输出级即使在驱动大型负载时也能提供轨到轨输出摆幅。通过直接从内部积分器（而非输出缓冲级）获取输出，可获得轨到轨输出摆幅。

7.3.2 输入共模电压范围

与 Bi-FET 放大器设计不同，在输入电压超过负电源电压时，LMC6482 不会出现相位反转。Figure 53 表明，输入电压超过了两个电源电压，但输出中并未产生相应的相位反转。



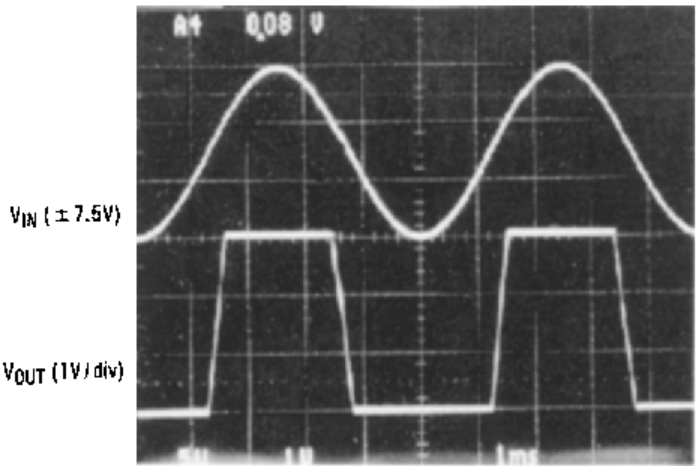
输入电压信号超过了 IMC6482 电源电压，但输出中并未产生相位反转。

Figure 53. 输入电压

室温下，绝对最大输入电压在任一电源轨基础上向外扩展了 300mV。如Figure 54 所示，如果电压远远超过此绝对最大额定值，则可能会导致流入或流出输入引脚的电流过大，从而影响可靠性。

Copyright © 1997–2015, Texas Instruments Incorporated

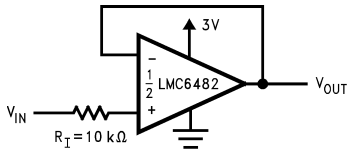
特性 说明 (continued)



±7.5V 的输入信号远远超过了Figure 55 中的 3V 电源，但由于 R_I 的原因，未产生相位反转。

Figure 54. 输入信号

超过此额定值的应用 必须使用输入电阻器 (R_I) 从外部将最大输入电流限制为 ±5mA，如Figure 55 所示。



在电压超过电源电压的情况下，提供 R_I 输入电流保护。

Figure 55. 在电压超过电源电压的情况下，提供 R_I 输入电流保护

7.3.3 轨到轨输出

LMC6482 的输出电阻大约为：当 V_S = 3V 时，拉电流下为 180Ω，灌电流下为 130Ω；当 Vs = 5V 时，拉电流下为 110Ω，灌电流下为 80Ω。使用计算的输出电阻，最大输出电压摆幅可以作为负载的函数进行估算。

7.4 器件功能模式

LMC6482 可用于 需要单独使用 每个放大器通道的应用，也可用于 需要级联通道的 应用。请参阅*典型 应用* 了解更多信息。

Copyright © 1997–2015, Texas Instruments Incorporated

8 应用和实现

NOTE

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

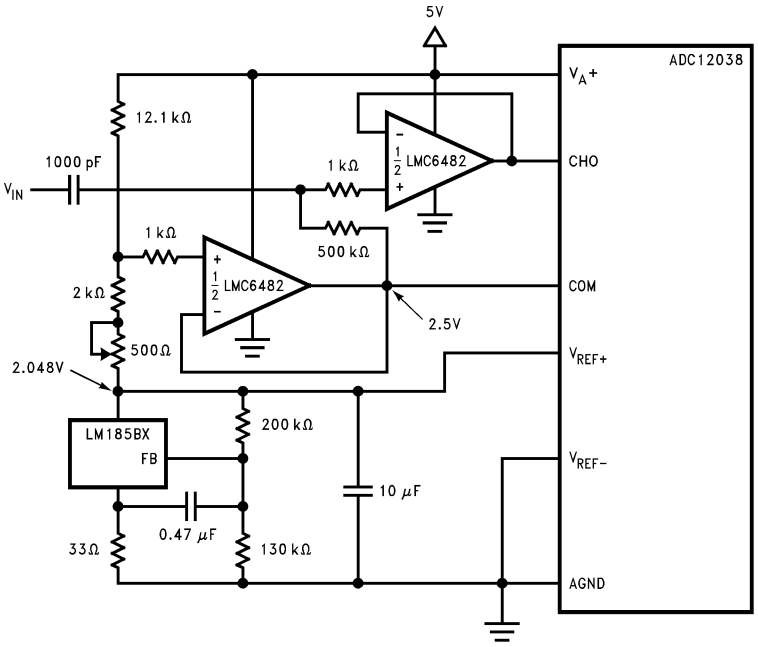
8.1.1 升级 应用

LMC6484 四路放大器和 LMC6482 双路放大器具有符合行业标准的外引脚，可改装现有 应用。LMC6482 具备的特性 可大幅提高系统性能。LMC6482 设计的主要优势是增加了线性信号范围。大多数运算放大器都限制了输入共模范围。超出此范围的信号会生成非线性输出响应，可在输入信号返回共模范围后持续较长时间。

在滤波器等 应用中， 信号峰值超出输入共模范围会导致输出相位反转或严重失真，因此线性信号范围至关重要。

8.1.2 数据采集系统

通过使用 LMC6482 来缓冲 ADC12038 可实现低功耗、单电源数据采集系统解决方案（Figure 56）。LMC6482 能够使用整个电源电压范围，因此无需降低输入信号来满足有限的共模电压范围。82dB 的 LMC4282 CMRR 将 12 位数据采集系统的积分线性保持在 ±0.325LSB。其他轨到轨输入放大器的 CMRR 仅为 50dB，会将数据采集系统的精度降至仅为 8 位。



在相同的电源电压下运行，LMC6482 会缓冲 ADC12038，从而保持出色的精度。

Figure 56. 使用 LMC6482 缓冲 ADC12038

8.1.3 仪表电路

LMC6482 具有仪表电路设计所需的高输入阻抗、高共模范围和高 CMRR。采用 LMC6482 进行仪表电路设计，可以比大多数仪表放大器抑制更大范围的共模信号。因此，采用 LMC6482 进行仪表电路设计是嘈杂或工业环境下的绝佳选择。从这些 特性中获益的 其他应用 包括 分析医疗仪器、磁场检测器、气体检测器和硅基传感器。

在Figure 57 中，低阻值电位器与 R_g 串联使用，用于设置三级运算放大器仪表电路的差分增益。之所以采用这种组合，而未使用高阻值电位器，是为了提高增益修整精度并减少因振动导致的误差。

Copyright © 1997–2015, Texas Instruments Incorporated

应用信息 (continued)

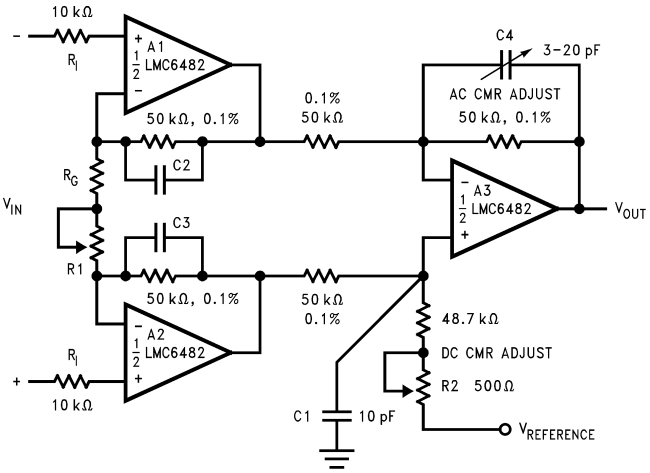


Figure 57. 低功耗三级运算放大器仪表放大器

Figure 58 中显示的两级运算放大器仪表放大器专为增益值 100 设计，可针对失调电压、CMRR 和增益进行低灵敏度修整。低成本和低功耗是这款两级运算放大器电路的主要优势。

对于频率更高且共模范围更大的 应用 ， 三级运算放大器仪表放大器则是绝佳选择。

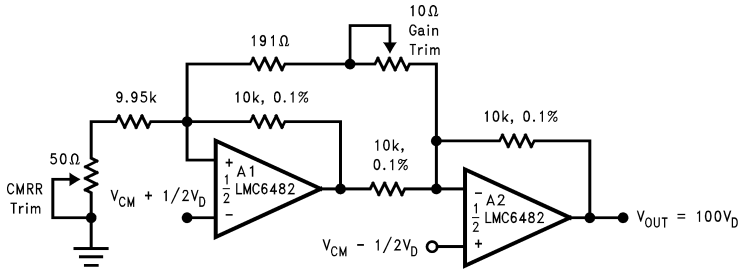


Figure 58. 低功耗两级运算放大器仪表放大器

8.1.4 Spice 精简模型

LMC6482 提供了一个 Spice 精简模型。此模型包括以下准确仿真：

- 输入共模电压范围
- 频率和瞬态响应
- 取决于负载条件的 GBW
- 静态和动态电源电流
- 取决于负载条件的输出摆幅

精简模型磁盘上列出了许多其他特性。

请联系您当地的 TI 销售办事处，以获得运算放大器 Spice 模型库磁盘。

Copyright © 1997–2015, Texas Instruments Incorporated

8.2 典型 应用

8.2.1 3V 单电源缓冲电路

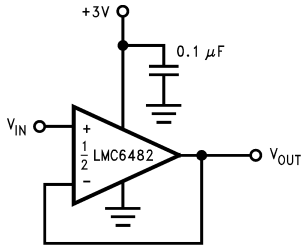


Figure 59. 3V 单电源缓冲电路

8.2.1.1 设计要求

为了获得出色性能，请确保输入电压摆幅在 V+ 和 V- 之间。

确保输入不超过共模输入范围。

为了降低输出失稳的风险，驱动容性负载时，请在输出端使用电阻式隔离（参阅*详细设计流程*部分）。

如果使用了高阻值反馈电阻器，则可能需要补偿输入端的寄生电容。请参阅*详细设计流程*部分。

8.2.1.2 详细设计流程

8.2.1.2.1 容性负载补偿

可以使用电阻式隔离实现容性负载补偿，如Figure 60 所示。这种简单易行的技术有助于隔离多路复用器和模数转换器的电容输入。

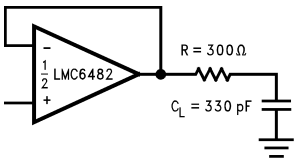


Figure 60. 330 pF 容性负载的电阻式隔离

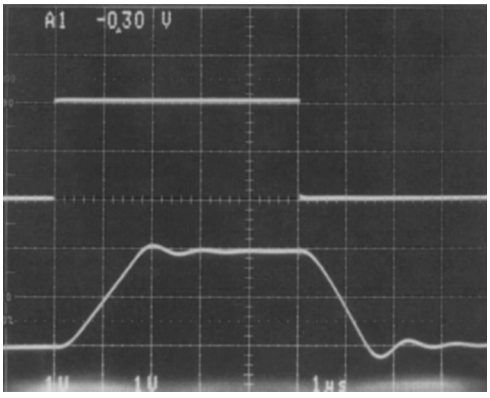


Figure 61. Figure 60 中 LMC6482 电路的脉冲响应

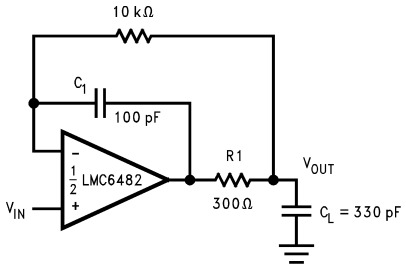
8.2.1.2.1.1 容性负载容差

当 V_S = 15V 时，LMC6482 在单位增益下通常可直接驱动 100 pF 的负载，而不会出现振荡。单位增益跟随器是最敏感的配置。直接容性负载可减小运算放大器的相位裕度。运算放大器的输出抗阻和容性负载的组合会引起相位滞后。这会导致欠阻尼的脉冲响应或振荡。

如Figure 62 所示，间接驱动容性负载可改善频率响应。

Copyright © 1997–2015, Texas Instruments Incorporated

典型 应用 (continued)



进行补偿以处理 330pF 容性负载。

Figure 62. LMC6482 同相放大器

R1 和 C1 通过将输出信号的高频分量前馈到放大器的反相输入来抵消相位裕度的损失，从而保持整个反馈环路中的相位裕度。R1 和 C1 的值通过实验确定，以获得所需的脉冲响应。Figure 63 显示的是生成的脉冲响应。

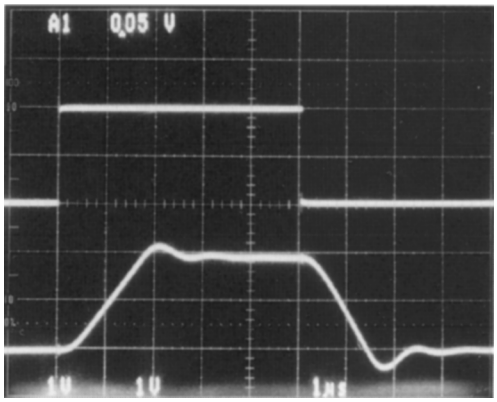


Figure 63. 中 Lmc6482 电路的脉冲响应Figure 62

8.2.1.2.1.2 对输入电容进行补偿

通常，可将高阻值反馈电阻与具有超低输入电流的放大器（如 LMC6482）配合使用。借助于换能器、光电二极管和电路板寄生效应，高阻值反馈电阻器可以与低容值输入电容发生反应，从而减小相位裕度。

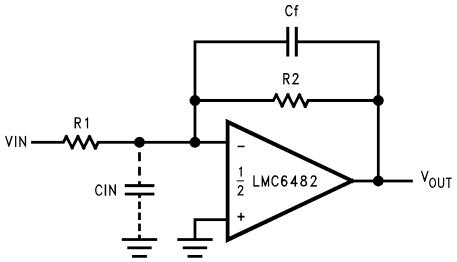


Figure 64. 抵消输入电容的影响

可通过添加反馈电容器来补偿输入电容的影响。反馈电容器（如Figure 64 所示）C_f 首先通过以下公式估算：

$$\frac{1}{2\pi R_1 C_{IN}} \geq \frac{1}{2\pi R_2 C_f} \quad (1)$$

或

$$R_1 C_{IN} \leq R_2 C_f \quad (2)$$

，这通常会提供明显的过度补偿。

典型 应用 (continued)

印刷电路板杂散电容可能大于或小于试验电路板的杂散电容，因此 C_f 的实际最佳值可能不同。应该在实际电路上检查 C_f 的值。（请参阅 LMC660 四路 CMOS 放大器产品说明书，以了解更多详细信息。）

8.2.1.2.1.3 失调电压调整

Figure 65 和Figure 66 中展示了失调电压调整电路。高阻值电阻和电位器可用于降低功耗，同时为 V_S = ±5V 的两种配置提供 ±2.5mV 的典型调节范围（称为输入）。

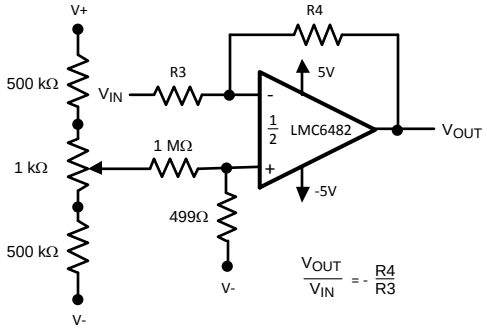


Figure 65. 反相配置失调电压调整

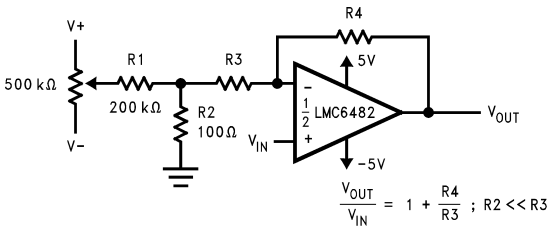


Figure 66. 同相配置失调电压调整

8.2.1.3 应用曲线

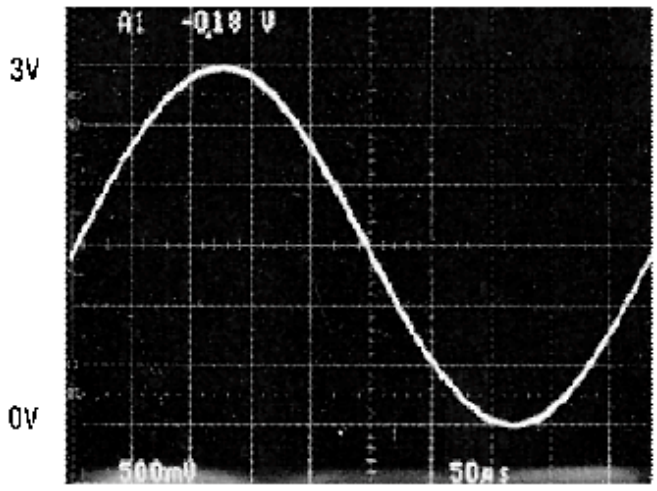


Figure 67. 轨到轨输入

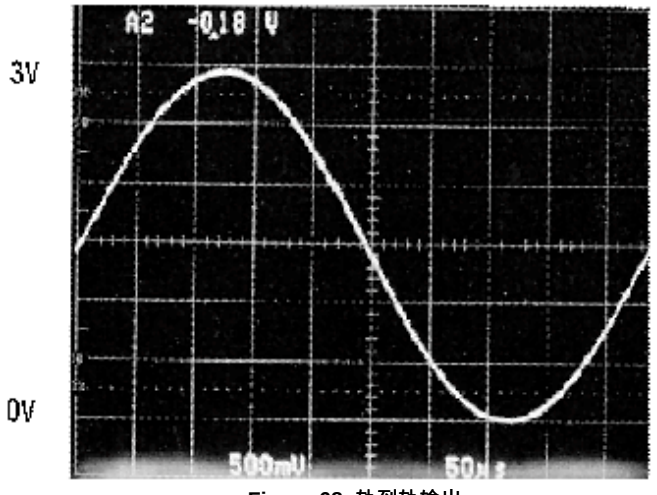


Figure 68. 轨到轨输出

8.2.2 典型的单电源 应用

Figure 69 中的电路使用单电源对以地为中心的正弦波进行半波整流。如果输入电压超过电源电压，则 R_I 会限制由此流入放大器的电流。全波整流由Figure 71 中的电路提供。

Copyright © 1997–2015, Texas Instruments Incorporated

典型 应用 (continued)

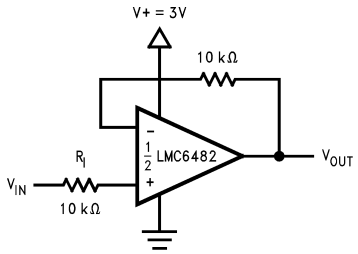


Figure 69. 具有输入电流保护 (R_I) 的半波整流器

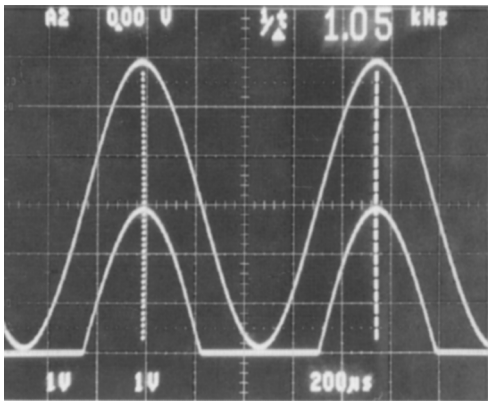


Figure 70. 半波整流器波形

Copyright © 1997–2015, Texas Instruments Incorporated

典型 应用 (continued)

在Figure 75 中，使用聚苯乙烯或聚乙烯保持电容器来尽量减少电介质的吸收和泄漏。下降率主要由 C_H 和二极管泄漏电流的值决定。LMC6482 的超低输入电流对压降产生的影响可以忽略不计。

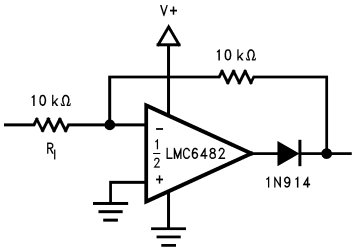


Figure 71. 具有输入电流保护 (R_I) 的全波整流器

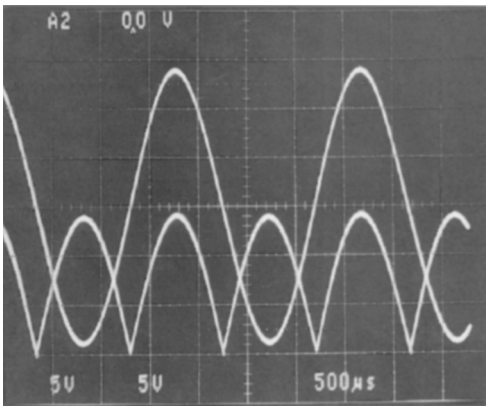


Figure 72. 全波整流器波形

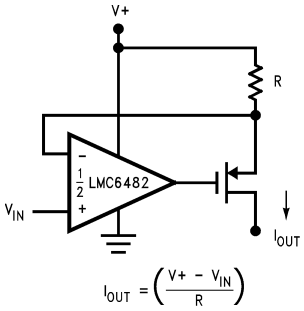


Figure 73. 范围广泛的合规电流源

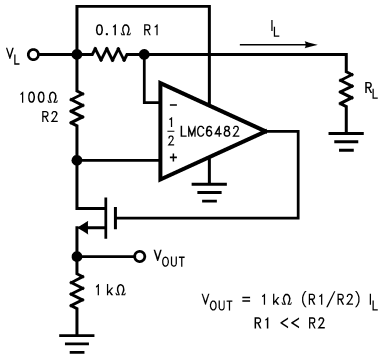


Figure 74. 正电源电流检测

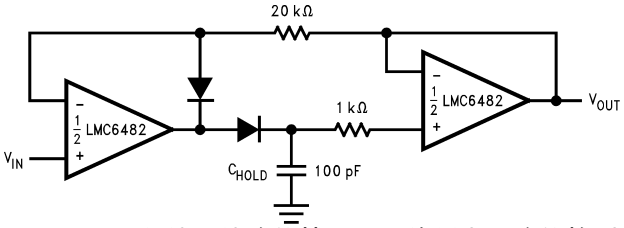


Figure 75. 具备轨至轨峰值捕捉范围的低电压峰值检测器

Copyright © 1997–2015, Texas Instruments Incorporated

典型 应用 (continued)

LMC6482 的高 CMRR (82dB) 可在电路的整个轨至轨动态捕捉范围内实现出色的精度。

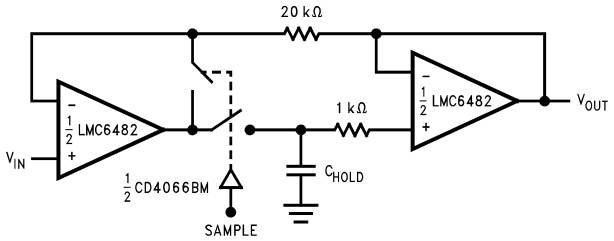


Figure 76. 轨至轨采样保持

Figure 77 中的低通滤波器电路可用作与模数转换器具有相同电压电源的抗混叠滤波器。

滤波器设计还可以利用 LMC6482 的超低输入电流。即使采用了高阻值电阻器，超低输入电流产生的失调电压误差也可以忽略不计。这进而可支持使用阻值更低的电容器，缩减布板空间并降低成本。

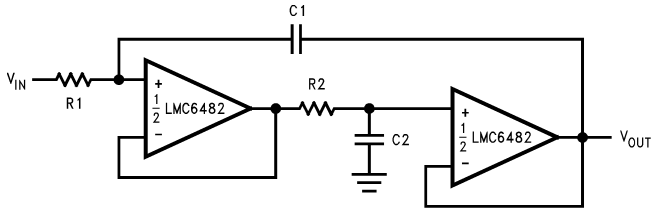


Figure 77. 轨至轨单电源低通滤波器

Copyright © 1997–2015, Texas Instruments Incorporated

9 电源相关建议

LMC6482 可以在 3V 至 15V 的电源电压范围内工作。为了获得适合应用的抗噪性能，必须使用适合电源轨和平面的良好 PCB 布局实践，并使用连接电源引脚和接地的旁路电容器。

10 布局

10.1 布局准则

通常来说，任何必须以小于 1000pA 泄漏电流运行的电路均需要特殊的 PC 板布局。如果要利用 LMC6482 的超低输入电流（通常小于 20fA），具有出色的布局至关重要。幸运的是，实现低泄漏的技术相当简单。首先，用户不得忽略 PCB 的表面泄漏，即使有时显示的泄漏值并不高，看起来似乎可以让人接受，但是在湿度高、遍布灰尘或污染的情况下，用户可以感知到这种表面泄漏。

为了最大限度降低任何表面泄漏造成的影响，可以环绕 LM6482 的输入端和连接到运算放大器输入端的电容器、二极管、导体、电阻器、继电器端子等元件的终端，放置一个能够完全覆盖的箔环，如Figure 78 所示。为了获得显著的效果，应该同时在 PCB 的顶部和底部放置防护环。然后，必须将这种 PC 箔连接到与放大器输入电压相同的电压，这是因为处于相同电位的两个点之间不会有泄漏电流流动。例如，$10^{12}\Omega$ 的 PCB 迹线至焊盘电阻通常可视为高阻值电阻，如果迹线是与输出焊盘相邻的 5V 总线，则该电阻可能会泄漏 5pA 的电流。这会导致 LMC6482 的实际性能下降 250 倍。但是，如果防护环保持在 5mV 的输入内，即使电阻为 $10^{11}\Omega$，也仅会产生 0.05pA 的泄漏电流。有关标准运算放大器配置中使用的防护环典型连接，请参阅Figure 79 至Figure 81。

设计人员需要注意，有时候仅仅为了几个电路而布置 PCB 并不合适。与其在 PCB 上放置防护环，不如采取一种更为巧妙的方法：勿将放大器的输入引脚插入 PCB，而是将其向上弯折，仅用空气作为绝缘体。空气是绝佳的绝缘体。在这种情况下，您可能不得不放弃 PCB 结构的一些优势，但使用点对点空中布线的确物有所值。请参阅Figure 82。

10.2 布局示例

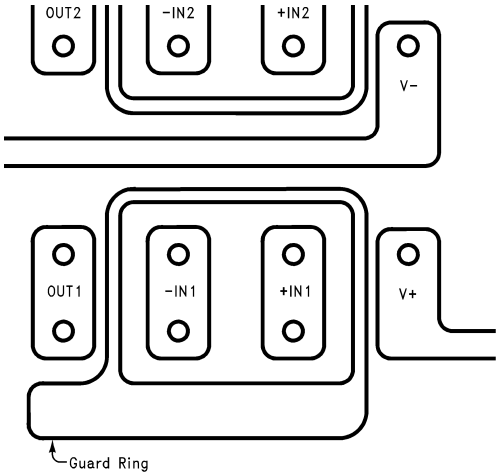


Figure 78. 防护环的 PCB 布局典型连接中的防护环示例

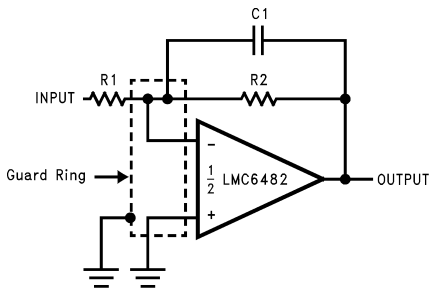


Figure 79. 防护环的反相放大器典型连接

Copyright © 1997–2015, Texas Instruments Incorporated

布局示例 (continued)

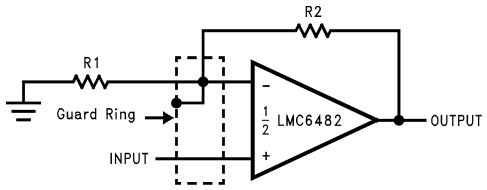


Figure 80. 防护环的同相放大器典型连接

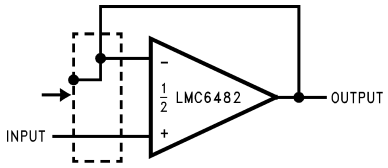
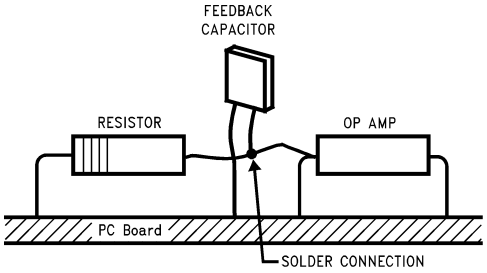


Figure 81. 防护环的跟随器典型连接



（输入引脚从 PCB 上提出并直接焊接到组件上。所有其他引脚连接到 PCB。）

Figure 82. 空中布线

11 器件和文档支持

11.1 商标

All trademarks are the property of their respective owners.

11.2 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.3 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

版权 © 1997–2015, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMC6482AIM	NRND	SOIC	D	8	95	TBD	Call TI	Call TI	-40 to 85	LMC64 82AIM	
LMC6482AIM/NOPB	ACTIVE	SOIC	D	8	95	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	LMC64 82AIM	Samples
LMC6482AIMX	NRND	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 85	LMC64 82AIM	
LMC6482AIMX/NOPB	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	LMC64 82AIM	Samples
LMC6482AIN/NOPB	ACTIVE	PDIP	P	8	40	Green (RoHS & no Sb/Br)	SN	Level-1-NA-UNLIM	-40 to 85	LMC64 82AIN	Samples
LMC6482IM	NRND	SOIC	D	8	95	TBD	Call TI	Call TI	-40 to 85	LMC64 82IM	
LMC6482IM/NOPB	ACTIVE	SOIC	D	8	95	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM	Samples
LMC6482IMM	NRND	VSSOP	DGK	8	1000	TBD	Call TI	Call TI	-40 to 85	A10	
LMC6482IMM/NOPB	ACTIVE	VSSOP	DGK	8	1000	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	A10	Samples
LMC6482IMMX	NRND	VSSOP	DGK	8	3500	TBD	Call TI	Call TI	-40 to 85	A10	
LMC6482IMMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	A10	Samples
LMC6482IMX	NRND	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 85	LMC64 82IM	
LMC6482IMX/NOPB	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	SN	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM	Samples
LMC6482IN/NOPB	ACTIVE	PDIP	P	8	40	Green (RoHS & no Sb/Br)	Call TI | SN	Level-1-NA-UNLIM	-40 to 85	LMC6482IN	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) RoHS: TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

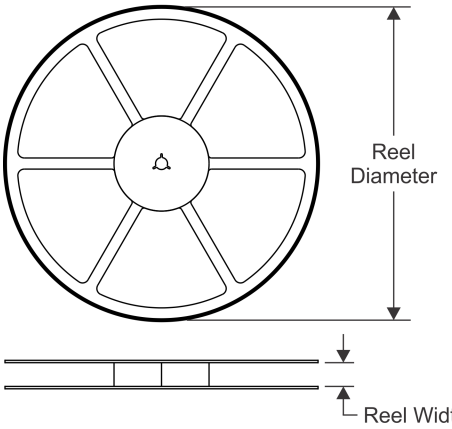
(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

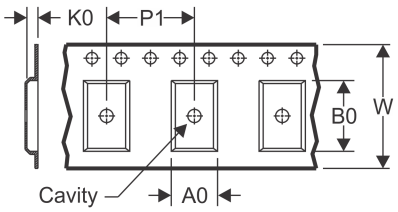
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

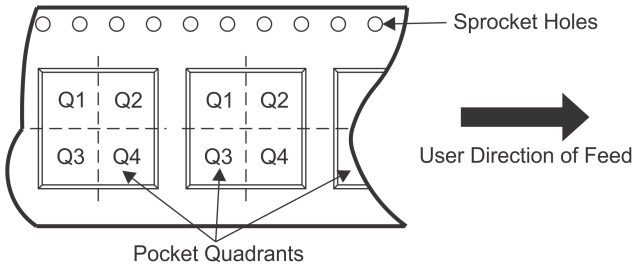


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

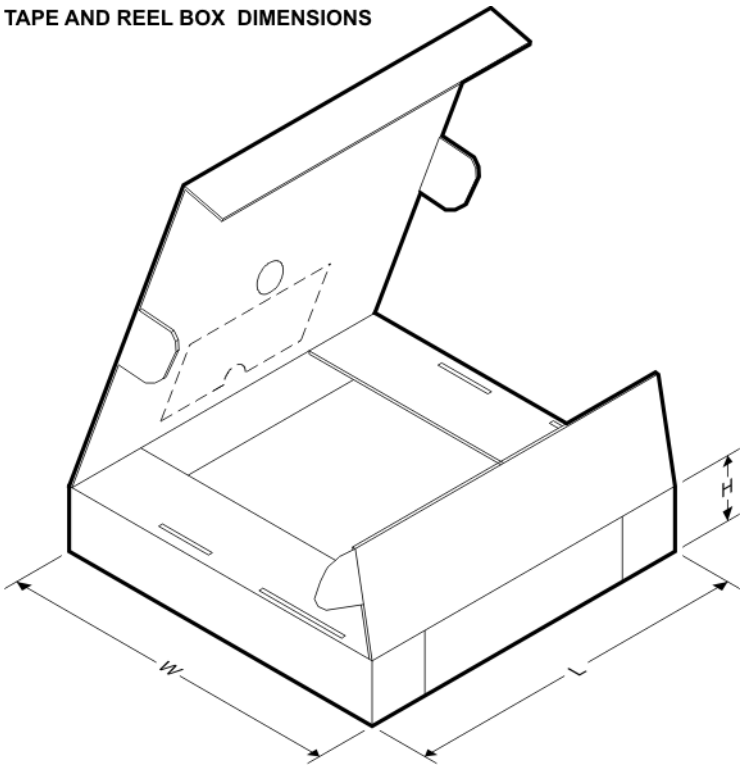
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

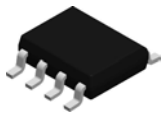
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6482AIMX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6482AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6482IMM	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMMX	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMX	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6482IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6482AIMX	SOIC	D	8	2500	367.0	367.0	35.0
LMC6482AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6482IMM	VSSOP	DGK	8	1000	210.0	185.0	35.0
LMC6482IMM/NOPB	VSSOP	DGK	8	1000	210.0	185.0	35.0
LMC6482IMMX	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6482IMX	SOIC	D	8	2500	367.0	367.0	35.0
LMC6482IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

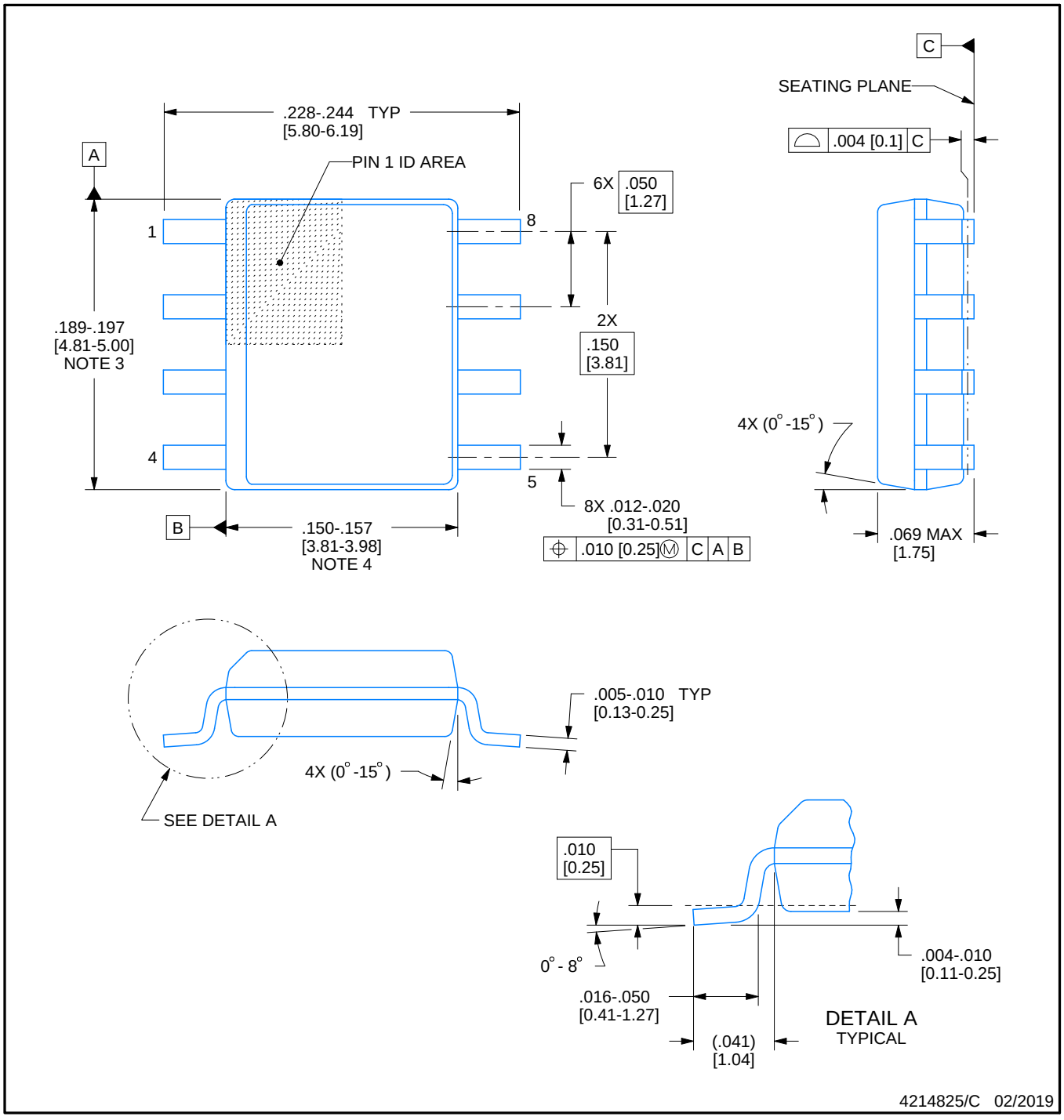


PACKAGE OUTLINE

D0008A

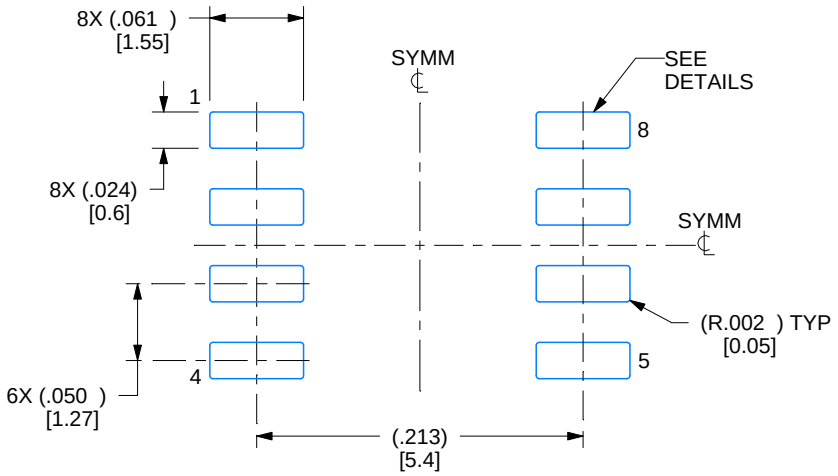
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

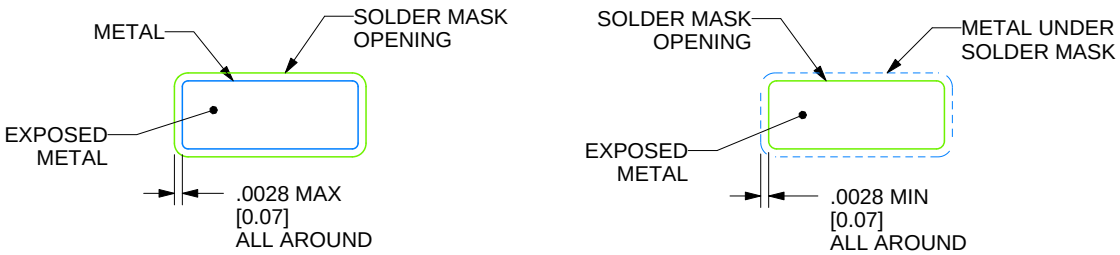


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

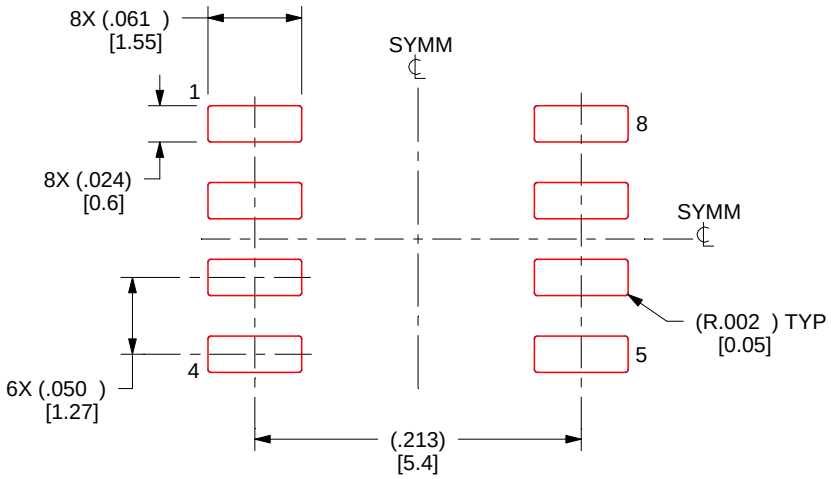
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



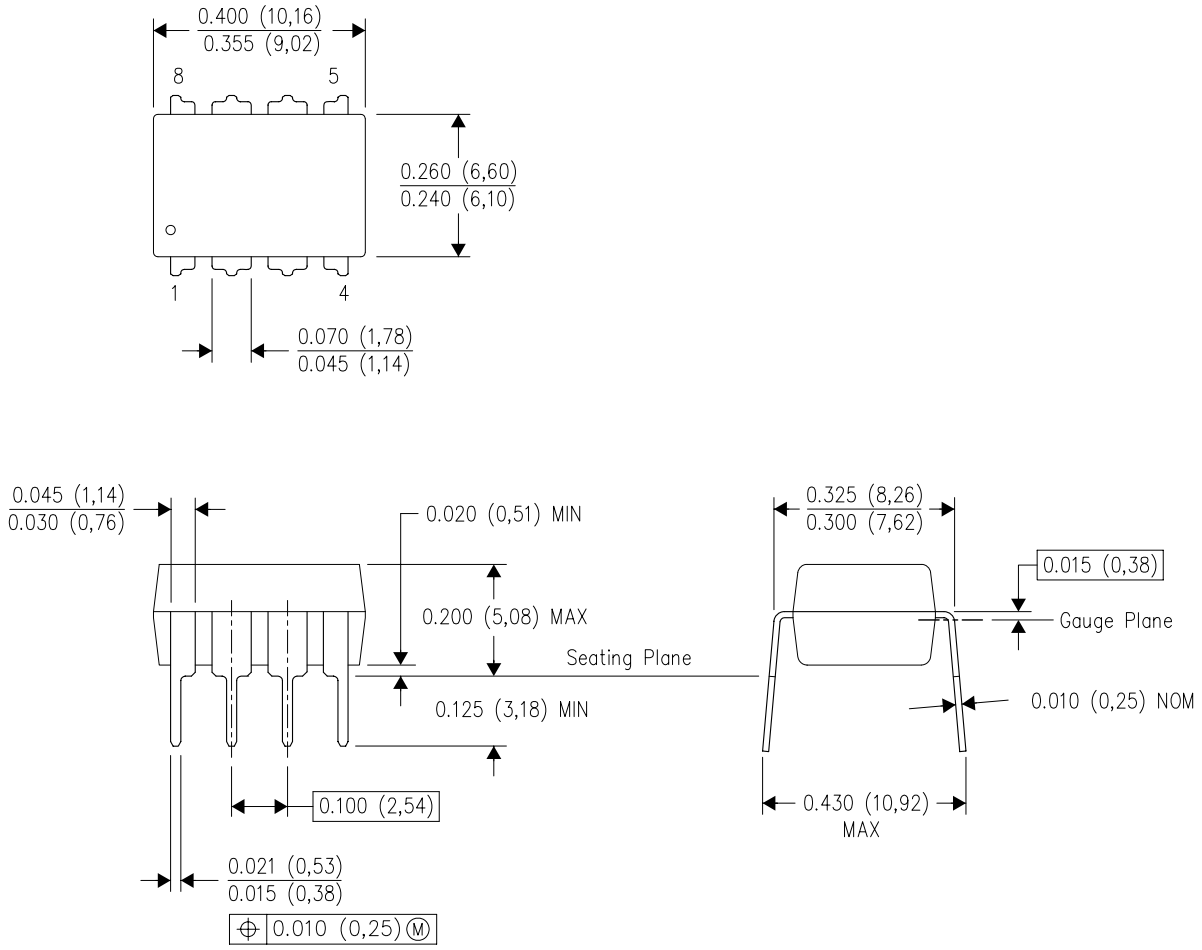
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

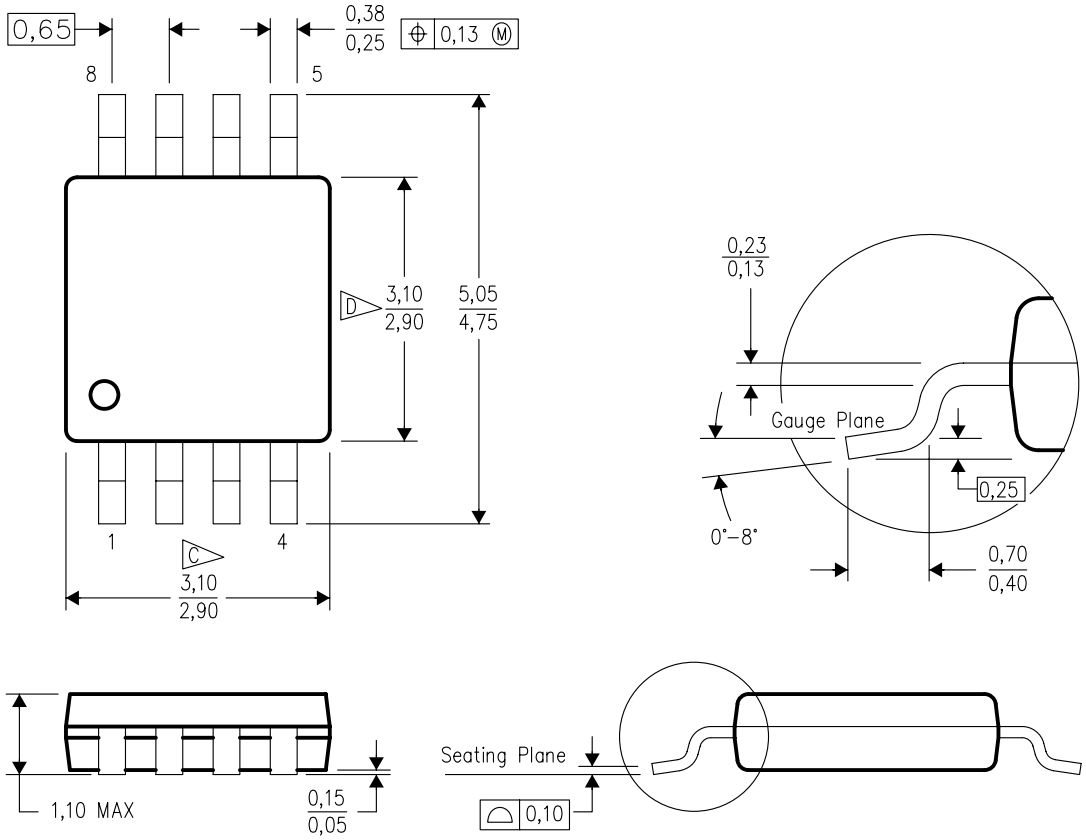
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

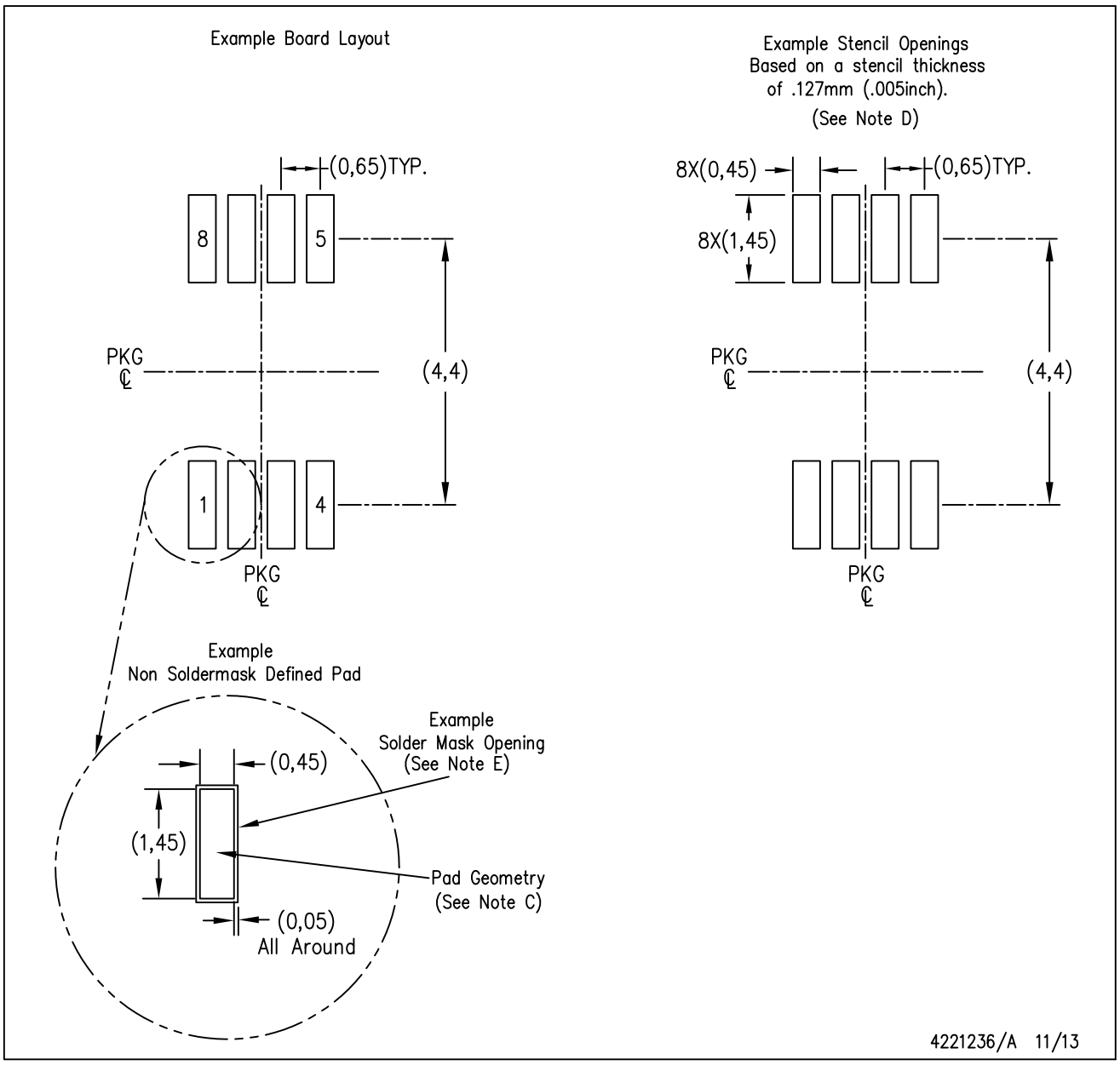
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2020 德州仪器半导体技术（上海）有限公司