

## 产品特点

### 内核：兼容工业标准的增强型 8051 内核

- 48MHz、24MHz、12MHz CPU 工作频率
- 每个指令周期为 4 个时钟
- 2 个 UART
- 3 个定时器/计数器
- 2 个数据指针
- 扩展中断系统
- 矢量式 USB 中断和 PIF/FIFO 中断

### 存储器

- 片上 16K 字节 code/data RAM
- 片上 0.5K 字节 data RAM

### 时钟、复位

- 3.3V 工作电压、5.0V 容限输入
- 上电复位 (POR)、外部 RESET 输入
- 24MHz ( $\pm 100\text{ppm}$ ) 晶体振荡器

### 低功耗

- 支持挂起模式，功耗最低不超过 1mA
- 任何模式下，ICC 不超过 85mA

### USB

- 支持标准的 USB2.0 协议
- 已通过 USB IF 的 USB2.0 兼容性测试
- 集成 USB2.0 收发器、智能串行接口引擎
- 支持高速模式(480Mbps)、全速模式(12Mbps)
- 支持 EP0、EP1IN、EP1OUT、EP2、EP4、EP6、EP8 等 7 个端点

### 集成式 FIFO

- 16 位总线自动切换
- 主控或从器件工作模式
- 同步或异步操作
- 易于连接到 ASIC 或 DSP 等 IC

### 可编程接口(PIF)

- 可直接连接大多数并行外设接口
- 支持 4 个可编程波形描述符
- 支持多种就绪输入和控制输出信号

### UART

- 支持 2 个 UART 接口
- 最高波特率支持 230.4KBaud

### I2C

- 运行速率 400kHz 或 100kHz
- 仅支持 Master 模式

### 计数器/定时器

- 支持 3 个 16 位计数器/定时器

### GPIO

- 最多 5 组共 40 个双向 IO (仅 100pin 支持)

### 固件启动

- 内部 RAM，固件通过 USB 下载
- 内部 RAM，固件通过 EEPROM 加载

### 封装

- SSOP56: 18 x 7.6 x 2.8mm
- QFN56: 8.0 x 8.0 x 1.0mm
- VFBGA56: 5.0 x 5.0 x 1.0mm
- LQFP100: 14 x 20 x 1.4mm

### 工作温度

- 支持商业级工作温度范围 (0~70°C)
- 支持工业级工作温度范围 (-40~105°C)

## 产品概述

CBM9002A 系列是基于符合工业标准的增强型 8051 内核的 USB 型微控制器。支持 USB2.0 协议高速 480Mbps 以及全速 12Mbps 两种模式。

增强型 8051 可工作在 48、24、12MHz 频率下;每个指令周期为 4 个时钟, 是标准 8051 速度的 3 倍。CBM9002A 系列内置高达 16K 字节的片上 SRAM 空间, 可以用来存放用户 code 或 data。CBM9002A 系列提供除 USB 接口以外的 USART、I2C、GPIO 等常用低速通信接口, 用于和其他外设进行通信。

CBM9002A 系列支持 Slave FIFO、PIF (可编程接口) 等强大的数据传输功能;基于 CBM 提供的 CBM9002A 系列固件框架下, 可达到 50MB/s 以上的数据传输能力, 最大为 USB2.0 带宽。

## 产品应用

- 便携式视频设备
- 工业相机, 或视频监控设备
- 数据采集系统
- ATA 接口, 如 IDE 硬盘
- 存储器, 读卡器
- 扫描仪
- 激光雕刻设备
- 便携式声卡或 MP3 播放设备
- VGA 视频采集传输设备等等

## 逻辑框图

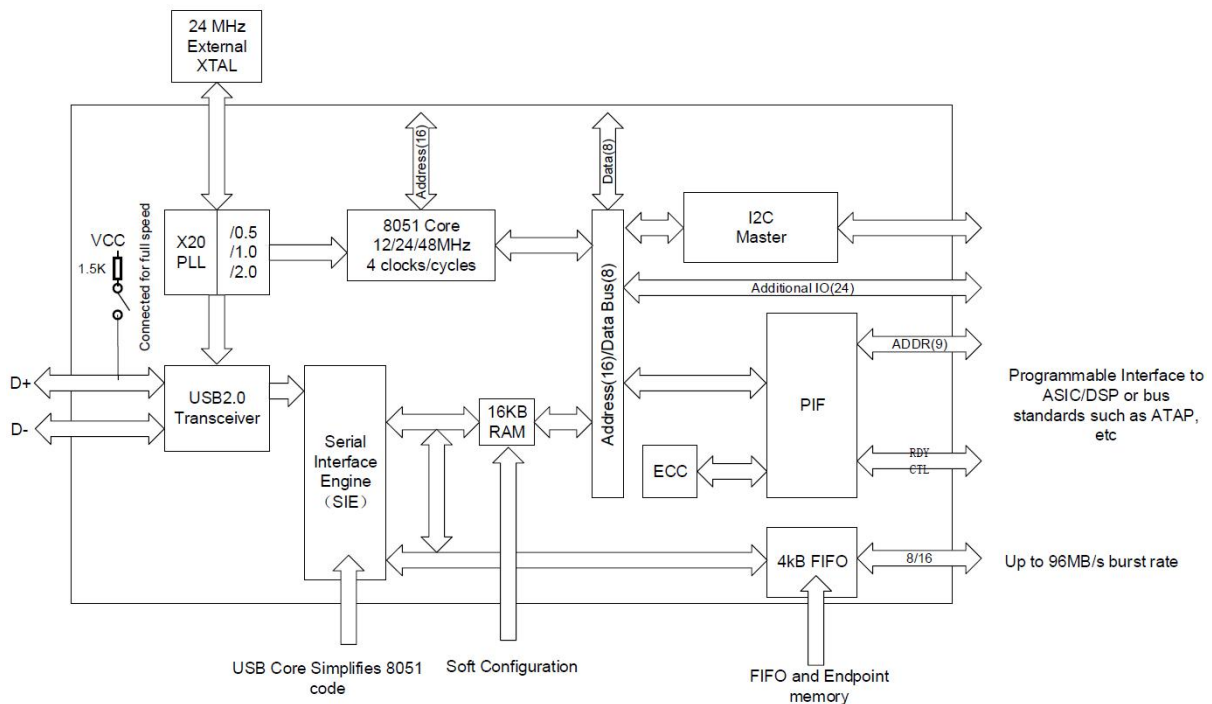


图 1 逻辑框图



### SSOP56 引脚分配

1	PD5/FD13	PD4/FD12	56
2	PD6/FD14	PD3/FD11	55
3	PD7/FD15	PD2/FD10	54
4	GND	PD1/FD9	53
5	CLKOUT	PD0/FD8	52
6	VCC	*WAKEUP	51
7	GND	VCC	50
8	RDY0/*SLRD	RESET#	49
9	RDY1/*SLWR	GND	48
10	AVCC	PA7/*FLAGD/SLCS#	47
11	XTALOUT	PA6/PKTEND	46
12	XTALIN	PA5/FIFOADR1	45
13	AGND	PA4/FIFOADR0	44
14	AVCC	PA3/*WU2	43
15	DPLUS	PA2/*SLOE	42
16	DMINUS	PA1/INT1#	41
17	AGND	PA0/INT0#	40
18	VCC	VCC	39
19	GND	CTL2/*FLAGC	38
20	*IFCLK	CTL1/*FLAGB	37
21	RESERVED	CTL0/*FLAGA	36
22	SCL	GND	35
23	SDA	VCC	34
24	VCC	GND	33
25	PB0/FD0	PB7/FD7	32
26	PB1/FD1	PB6/FD6	31
27	PB2/FD2	PB5/FD5	30
28	PB3/FD3	PB4/FD4	29

图3 CBM9002A SSOP56 引脚分配

### QFN56 引脚分配

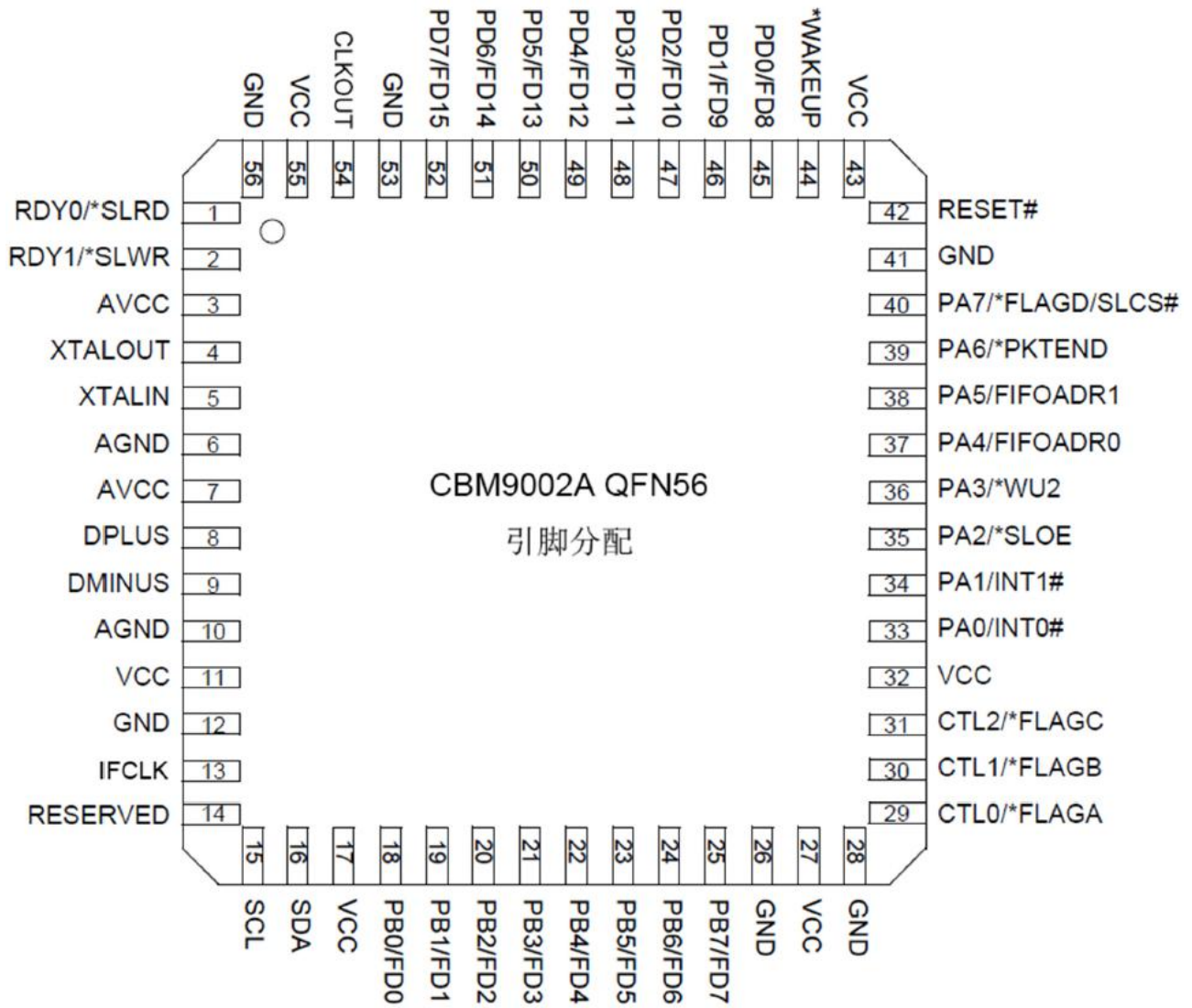


图 4 CBM9002A QFN56 引脚分配

### VFBGA 引脚分配

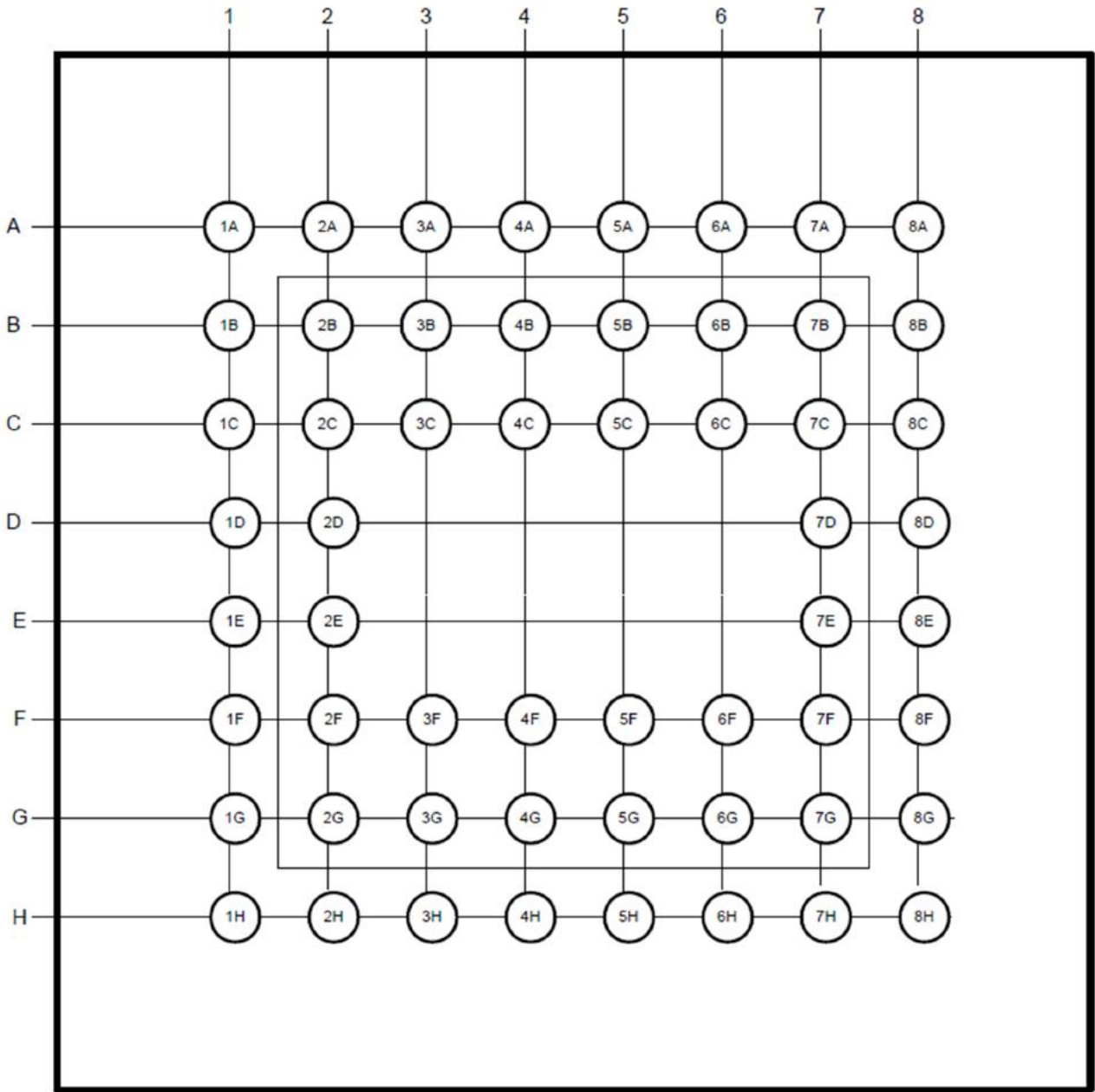


图 5 CBM9002A VFBGA 引脚分配 — 顶部视图

## 引脚简述

LQFP-100	SSOP-56	QFN-56	VFBGA-56	名称	类型	默认值	复位	说明
9	10	3	2D	AVCC	Power	NA	NA	模拟 VCC
16	14	7	1D	AVCC	Power	NA	NA	模拟 VCC
12	13	6	2F	AGND	Power	NA	NA	模拟 GND
19	17	10	1F	AGND	Power	NA	NA	模拟 GND
18	16	9	1E	DMINUS	IO/Z	Z	NA	USB D-信号
17	15	8	2E	DPLUS	IO/Z	Z	NA	USB D+ 信号
28	-	-	-	BKPT	O	L	L	断点
77	49	42	8B	RESET#	I	NA	NA	芯片复位, 低有效
11	12	5	1C	XTALIN	I	NA	NA	24MHz 晶振输入
10	11	4	2C	XTALOUT	O	NA	NA	24MHz 晶振输出
100	5	54	2B	CLKOUT	O/Z	12MHz	时钟驱动	12/24/48MHz 时钟输出, 可设置三态输出
67	40	33	8G	PA0_INT0#	IOZ	I	I	PA 端口 bit0;或 8051 INT0 中断输入
68	40	34	6G	PA1_INT1#	IOZ	I	I	PA 端口 bit1;或 8051 INT1 中断输入
69	42	35	8F	PA2_SLOE	IOZ	I	Z	PA 端口 bit2;或 Slave FIFO 模式下输入输出使能信号
70	43	36	7F	PA3_WU2	IOZ	I	Z	PA 端口 bit3;或 USB 备用唤醒源
71	44	37	6F	PA4_FIFOADR0	IOZ	I	Z	PA 端口 bit4;或 FIFO 地址 bit0
72	45	38	8C	PA5_FIFOADR1	IOZ	I	Z	PA 端口 bit5;或 FIFO 地址 bit1
73	46	39	7C	PA6_PKEND	IOZ	I	Z	PA 端口 bit6; Slave FIFO 模式复用为包提前结束请求, 如未使用, 用上拉或固件置高
74	47	40	6C	PA7_FLAGD_SLCS#	IOZ	I	Z	PA 端口 bit7;或可编程 FIFO 标志;或 FIFO 片选信号
34	25	18	3H	PB0_FD0	IOZ	I	Z	PB 端口 bit0;或 FIFO/PIF 数据总线 bit0
35	26	19	4F	PB1_FD1	IOZ	I	Z	PB 端口 bit1;或 FIFO/PIF 数据总线 bit1
36	27	20	4H	PB2_FD2	IOZ	I	Z	PB 端口 bit2;或 FIFO/PIF 数据总线 bit2
37	28	21	4G	PB3_FD3	IOZ	I	Z	PB 端口 bit3;或 FIFO/PIF 数据总线 bit3
44	29	22	5H	PB4_FD4	IOZ	I	Z	PB 端口 bit4;或 FIFO/PIF 数据总线 bit4
45	30	23	5G	PB5_FD5	IOZ	I	Z	PB 端口 bit5;或 FIFO/PIF 数据总线 bit5
46	31	24	5G	PB6_FD6	IOZ	I	Z	PB 端口 bit6;或 FIFO/PIF 数据总线 bit6
47	32	25	6H	PB7_FD7	IOZ	I	Z	PB 端口 bit7;或 FIFO/PIF 数据总线 bit7
57	-	-	-	PC0_PIFADR0	IOZ	I	Z	PC 端口 bit0;或 PIF 地址输出 bit0
58	-	-	-	PC1_PIFADR1	IOZ	I	Z	PC 端口 bit1;或 PIF 地址输出 bit1
59	-	-	-	PC2_PIFADR2	IOZ	I	Z	PC 端口 bit2;或 PIF 地址输出 bit2
60	-	-	-	PC3_PIFADR3	IOZ	I	Z	PC 端口 bit3;或 PIF 地址输出 bit3
61	-	-	-	PC4_PIFADR4	IOZ	I	Z	PC 端口 bit4;或 PIF 地址输出 bit4
62	-	-	-	PC5_PIFADR5	IOZ	I	Z	PC 端口 bit5;或 PIF 地址输出 bit5
63	-	-	-	PC6_PIFADR6	IOZ	I	Z	PC 端口 bit6;或 PIF 地址输出 bit6
64	-	-	-	PC7_PIFADR7	IOZ	I	Z	PC 端口 bit7;或 PIF 地址输出 bit7
80	52	45	8A	PD0_FD8	IOZ	I	Z	PD 端口 bit0;或 FIFO/PIF 数据总线 bit8

81	53	46	7A	PD1_FD9	IOZ	I	Z	PD 端口 bit1;或 FIFO/PIF 数据总线 bit9
82	54	47	6B	PD2_FD10	IOZ	I	Z	PD 端口 bit2;或 FIFO/PIF 数据总线 bit10
83	55	48	6A	PD3_FD11	IOZ	I	Z	PD 端口 bit3;或 FIFO/PIF 数据总线 bit11
95	56	49	3B	PD4_FD12	IOZ	I	Z	PD 端口 bit4;或 FIFO/PIF 数据总线 bit12
96	1	50	3A	PD5_FD13	IOZ	I		PD 端口 bit5;或 FIFO/PIF 数据总线 bit13
97	2	51	3C	PD6_FD14	IOZ	I	Z	PD 端口 bit6;或 FIFO/PIF 数据总线 bit14
98	3	52	2A	PD7_FD15	IOZ	I	Z	PD 端口 bit7;或 FIFO/PIF 数据总线 bit15
86	-	-	-	PE0_T0OUT	IOZ	I	Z	PE 端口 bit0;或 8051 定时器 0 溢出输出信号
87	-	-	-	PE1_T1OUT	IOZ	I	Z	PE 端口 bit1;或 8051 定时器 1 溢出输出信号
88	-	-	-	PE2_T2OUT	IOZ	I	Z	PE 端口 bit2;或 8051 定时器 2 溢出输出信号
89	-	-	-	PE3_RXD0OUT	IOZ	I	Z	PE 端口 bit3;或来自 8051 UART0 的高有效信号
90	-	-	-	PE4_RXD1OUT	IOZ	I	Z	PE 端口 bit4;或来自 8051 UART1 的高有效信号
91	-	-	-	PE5_INT6	IOZ	I	Z	PE 端口 bit6;或 8051 外部中断输入信号
92	-	-	-	PE6_T2EX	IOZ	I	Z	PE 端口 bit6;或输入到 8051 定时器 2 的高有效信号,用于重载定时器 2,设置 EXEN2 有效, T2EX 才有效
93	-	-	-	PE7_PIFADR8	IOZ	I	Z	PE 端口 bit7;或 PIF 地址输出 bit8
3	8	1	1A	RDY0_SLRD	I	NA	NA	PIF 模式就绪态输入 0;或 FIFO 模式输入读取信号
4	9	2	1B	RDY1_SLWR	I	NA	NA	PIF 模式就绪态输入 1;或 FIFO 模式输入写入信号
5	-	-	-	RDY2	I	NA	NA	PIF 就绪态输入 2
6	-	-	-	RDY3	I	NA	NA	PIF 就绪态输入 3
7	-	-	-	RSY4	I	NA	NA	PIF 就绪态输入 4
8	-	-	-	RDY5	I	NA	NA	PIF 就绪态输入 5
54	36	29	7H	CTL0_FLAGA	OZ	H	L	PIF 控制输出 0;或 FIFO 标志 A
55	37	30	7G	CTL1_FLAGB	OZ	H	L	PIF 控制输出 1;或 FIFO 标志 B
56	38	31	8H	CTL2_FLAGC	OZ	H	L	PIF 控制输出 2;或 FIFO 标志 C
51	-	-	-	CTL3	OZ	H	L	PIF 控制输出 3
52	-	-	-	CTL4	O	H	L	PIF 控制输出 4
76	-	-	-	CTL5	O	H	L	PIF 控制输出 5
26	20	13	2G	IFCLK	IOZ	Z	Z	接口时钟
22	-	-	-	INT4	I	NA	NA	8051 外部中断输入边沿和高有效
84	-	-	-	INT5#	I	NA	NA	8051 外部中断输入边沿和低有效
25	-	-	-	T2	I	NA	NA	8051 定时器 2 计数输入
24	-	-	-	T1	I	NA	NA	8051 定时器 1 计数输入
23	-	-	-	T0	I	NA	NA	8051 定时器 0 计数输入



43				RXD1	I	NA	NA	8051 UAR T1 数据输入
42	-	-	-	TXD1	O	H	L	8051 UART1 数据输出
41	-	-	-	RXD0	I	NA	NA	8051 UAR T0 数据输入
40	-	-	-	TXD0	O	H	L	8051 UART0 数据输出
32	-	-	-	WR#	O	H	L	外部存储器写入输出信号
31	-	-	-	RD#	O	H	L	外部存储器读取输出信号
27	21	14	2H	RESERVED	I	NA	NA	保留管脚, 必须接 GND
79	51	44	7B	WAKEUP	I	NA	NA	USB 唤醒输入
29	22	15	3F	SCL	OD	Z	Z	I2C 接口时钟
30	23	15	3G	SDA	OD	Z	Z	I2C 接口数据
1	6	55	5A	VCC	Power	NA	NA	数字 VCC
20	18	11	1G	VCC	Power	NA	NA	数字 VCC
33	24	17	7E	VCC	Power	NA	NA	数字 VCC
38	-	-	-	VCC	Power	NA	NA	数字 VCC
49	34	27	8E	VCC	Power	NA	NA	数字 VCC
53	-	-	-	VCC	Power	NA	NA	数字 VCC
66	39	32	5C	VCC	Power	NA	NA	数字 VCC
78	50	43	5B	VCC	Power	NA	NA	数字 VCC
85	-	-	-	VCC	Power	NA	NA	数字 VCC
2	7	56	4B	GND	Power	NA	NA	数字 GND
21	19	12	1H	GND	Power	NA	NA	数字 GND
39	-	-	-	GND	Power	NA	NA	数字 GND
48	33	26	7D	GND	Power	NA	NA	数字 GND
50	35	28	8D	GND	Power	NA	NA	数字 GND
65	-	-	-	GND	Power	NA	NA	数字 GND
75	48	41	4C	GND	Power	NA	NA	数字 GND
94	-	-	-	GND	Power	NA	NA	数字 GND
99	4	53	4A	GND	Power	NA	NA	数字 GND
13	-	-	-	NC	NA	NA	NA	未连接, 保持悬空
14				NC	NA	NA	NA	未连接, 保持悬空
15	-	-	-	NC	NA	NA	NA	未连接, 保持悬空

注: I -- Input; O -- Output; Z -- Tristate; OD -- Open Drain; NA – Not Applicable.

## 电气特性

### 绝对最大等级

符号	描述	最小值	最大值	单位
$T_S$	存储温度	-65	150	°C
$T_A$	工作温度 (商业级)	0	70	°C
	工作温度 (工业级)	-40	105	°C
VCC	VCC 对 GND 电压	-0.5	4.0	V
$V_{IO}$	任意 IO 输入电压	-0.5	5.25	V
$I_{IO}$	任意 IO 最大输出电流		10	mA
ESD	静态放电电压	2000		V
PD	耗散功率		300	mW

### 推荐运行条件

符号	描述	最小值	最大值	单位
$T_A$	工作温度 (商业级)	0	70	°C
	工作温度 (工业级)	-40	105	°C
VCC	供电电压	3.0	3.6	V
VGND	接地电压	0	0	V
$F_{OSC}$	晶体振荡器输入频率	24 ± 100ppm, 并行谐振		MHz

### 直流参数

参数	说明	条件	最小值	典型值	最大值	单位
VCC	供电电压	-	3.0	3.3	3.6	V
VCC 上升	0-3.3V	-	200	-	-	us
$V_{IH}$	输入高电平电压	-	2.0	-	5.25	V
$V_{IL}$	输入低电平电压	-	-0.5	-	0.8	V
$I_I$	输入漏电流	0 < $V_{IN}$ < VCC	-	-	10	uA
$V_{OH}$	输出高电平电压	VCC=3.3V, $I_{OUT}$ =4mA	2.4	2.95	-	V
$V_{OL}$	输出低电平电压	VCC=3.3V, $I_{SINK}$ =4mA	-	0.12	0.4	V
$I_{SUSP}$	挂起功耗	VCC=3.3V, USB 连接	-	100	1000	uA
$I_{CC}$	供电电流	VCC=3.3V, 8051 running, 高速模式	-	37	44	mA
$T_{RESET}$	有效上电复位时间	VCC=3.0V	5.0	-	-	ms
	上电后引脚复位		200	-	-	us

## 交流参数

### PIF 同步信号

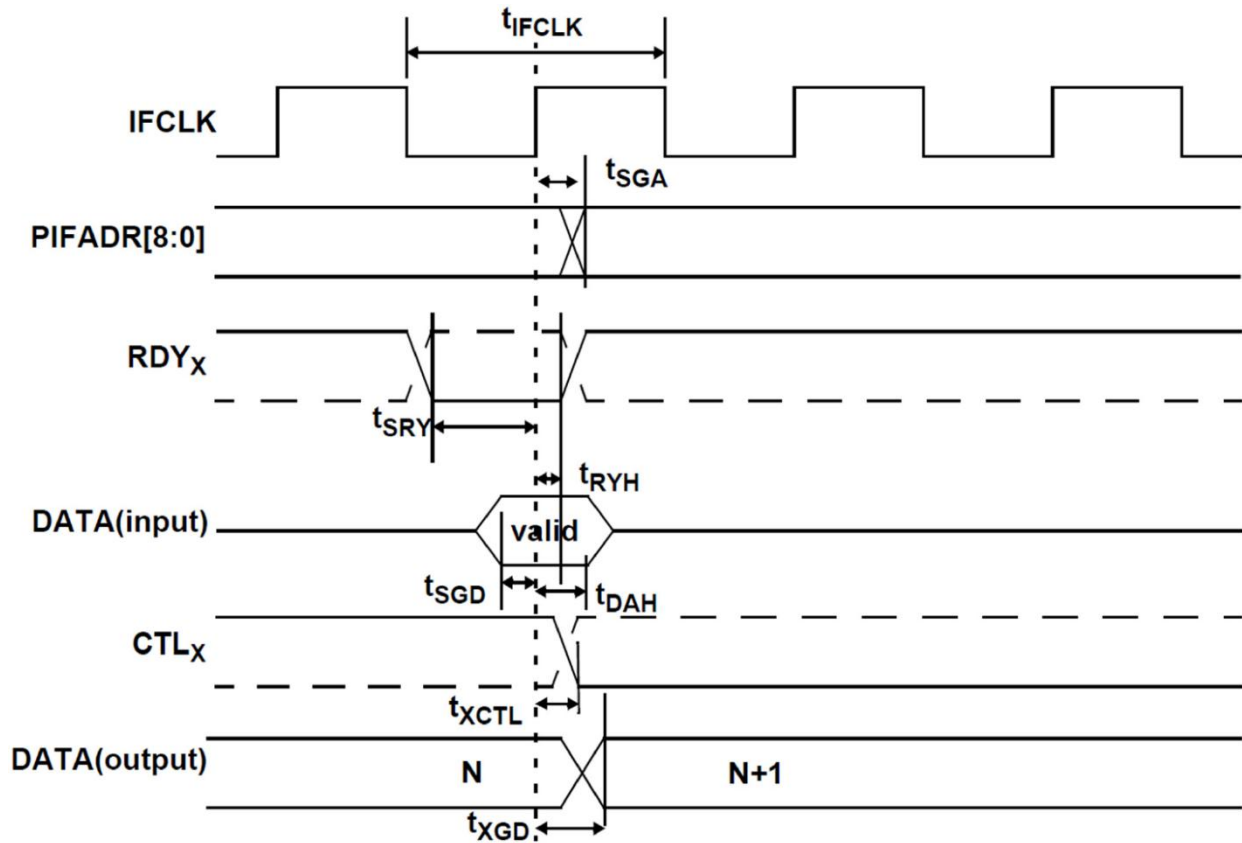


图 6 PIF 同步信号时序图

### PIF 同步信号参数 (包含内部 IFCLK 源)

参数	说明	最小值	最大值	典型值		单位
				最小值	最大值	
$t_{IFCLK}$	IFCLK 周期	20.83				ns
$t_{SRY}$	从 $RDY_x$ 到时钟建立时间	8.9				ns
$t_{RYH}$	从时钟到 $RDY_x$	0				ns
$t_{SGD}$	从 PIF 数据到时钟建立时间	9.2				ns
$t_{DAH}$	PIF 数据保持时间	0				ns
$t_{SGA}$	从时钟到 PIF 地址的传输延时		7.5			ns
$t_{XGD}$	从时钟到 PIF 数据输出传输延时		10			ns
$t_{XCTL}$	从时钟到 $CTL_x$ 输出传输延时		6.7			ns
$t_{IFCLKR}$	IFCLK 上升时间				900	ps
$t_{IFCLKF}$	IFCLK 下降时间				900	ps
$t_{IFCLKOD}$	IFCLK 输出占空比			49	51	%
$t_{IFCLKJ}$	IFCLK 抖动(峰峰值)				300	ps

PIF 同步信号参数 (包含外部 IFCLK 源)

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SRY}$	从 $RDY_x$ 到时钟建立时间	2.9		ns
$t_{RYH}$	从时钟到 $RDY_x$	3.7		ns
$t_{SGD}$	从 PIF 数据到时钟建立时间	3.2		ns
$t_{DAH}$	PIF 数据保持时间	4.5		ns
$t_{SGA}$	从时钟到 PIF 地址的传输延时		11.5	ns
$t_{XGD}$	从时钟到 PIF 数据输出的传输延时		15	ns
$t_{XCTL}$	从时钟到 $CTL_x$ 输出的传输延时		10.7	ns

同步 FIFO 读取

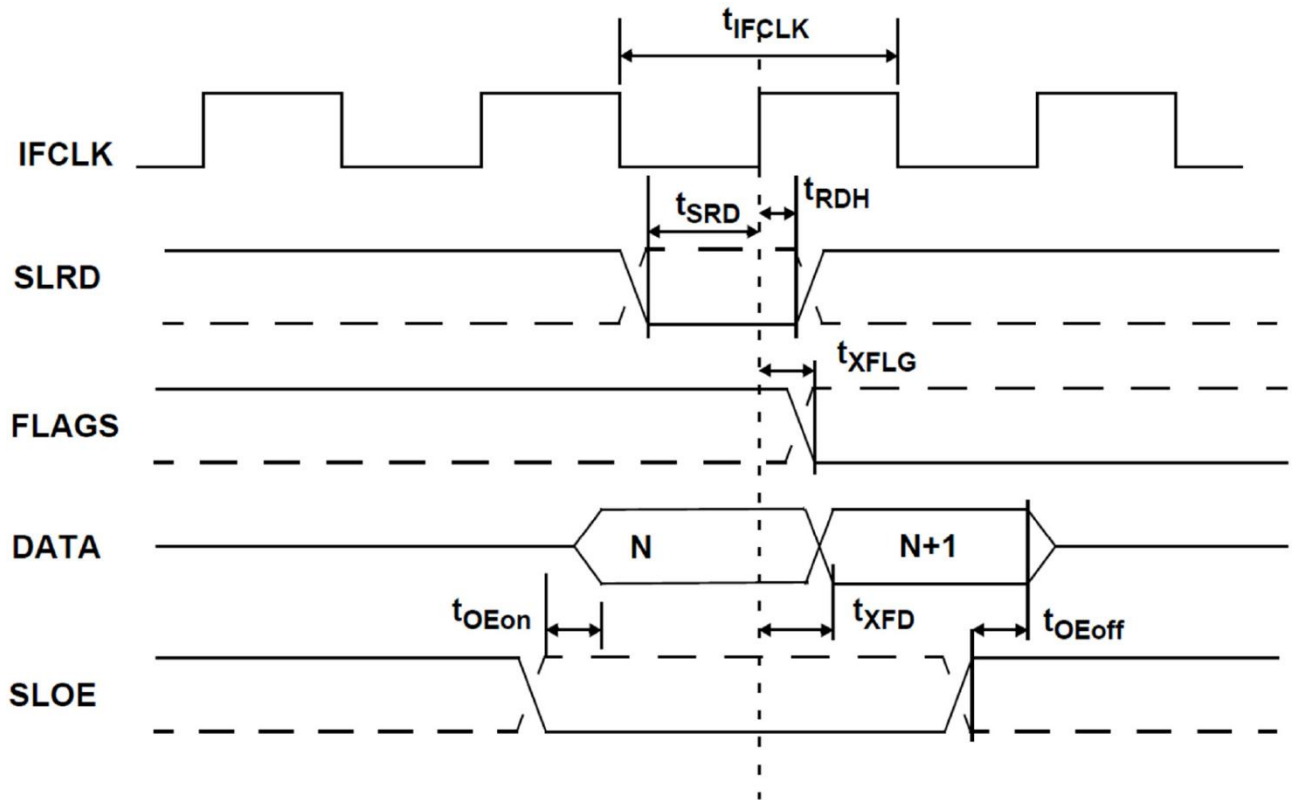


图 7 同步 FIFO 读取信号时序

### 同步 FIFO 读取信号时序 (内部 IFCLK 源)

参数	说明	最小值	最大值	典型值		单位
				最小值	最大值	
$t_{IFCLK}$	IFCLK 周期	20.83				ns
$t_{SRD}$	从 SLRD 到时钟建立时间	18.7				ns
$t_{RDH}$	从时钟到 SLRD 保持时间	0				ns
$t_{OEon}$	从 SLOE 启动到 FIFO 数据有效			10.5		ns
$t_{OEoff}$	从 XLOE 关闭到 FIFO 数据保持			10.5		ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延时			9.5		ns
$t_{XFD}$	从时钟到 FIFO 输出传输延时			11		ns
$t_{IFCLKR}$	IFCLK 上升时间				900	ps
$t_{IFCLKF}$	IFCLK 下降时间				900	ps
$t_{IFCLKOD}$	IFCLK 输出占空比			49	51	%
$t_{IFCLKJ}$	IFCLK 抖动 (峰峰值)				300	ps

### 同步 FIFO 读取信号时序 (外部 IFCLK 源)

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SRD}$	从 SLRD 到时钟建立时间	12.7		ns
$t_{RDH}$	从时钟到 SLRD 保持时间	3.7		ns
$t_{OEon}$	从 SLOE 启动到 FIFO 数据有效		10.5	ns
$t_{OEoff}$	从 SLOE 关闭到 FIFO 数据保持		10.5	ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延时		13.5	ns
$t_{XFD}$	从时钟到 FIFO 数据输出传输延时		15	ns

### 同步 FIFO 写入

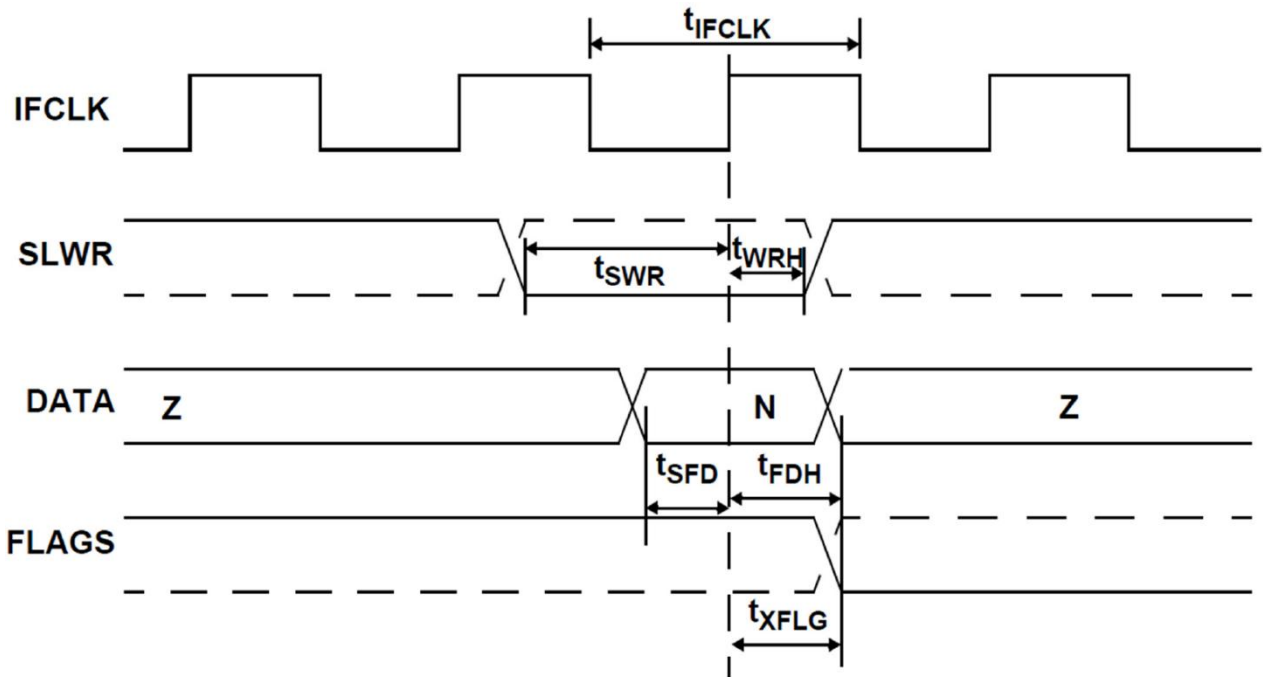


图 8 同步 FIFO 写入信号时序

#### 同步 FIFO 写入信号时序 (内部 IFCLK 源)

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83		ns
$t_{SWR}$	从 SLWR 到时钟建立时间	10.4		ns
$t_{WRH}$	从时钟到 SLWR 保持时间	0		ns
$t_{SFD}$	从 FIFO 数据到时钟建立时间	9.2		ns
$t_{FDH}$	从时钟到 FIFO 数据保持时间	0		ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延时		9.5	ns

#### 同步 FIFO 写入信号时序 (外部 IFCLK 源)

参数	说明	最小值	最大值	单位
$t_{IFCLK}$	IFCLK 周期	20.83	200	ns
$t_{SWR}$	从 SLWR 到时钟建立时间	12.1		ns
$t_{WRH}$	从时钟到 SLWR 保持时间	3.6		ns
$t_{SFD}$	从 FIFO 数据到时钟建立时间	3.2		ns
$t_{FDH}$	从时钟到 FIFO 数据保持时间	4.5		ns
$t_{XFLG}$	从时钟到 FLAGS 输出传输延时		13.5	ns

### 异步 FIFO 读取

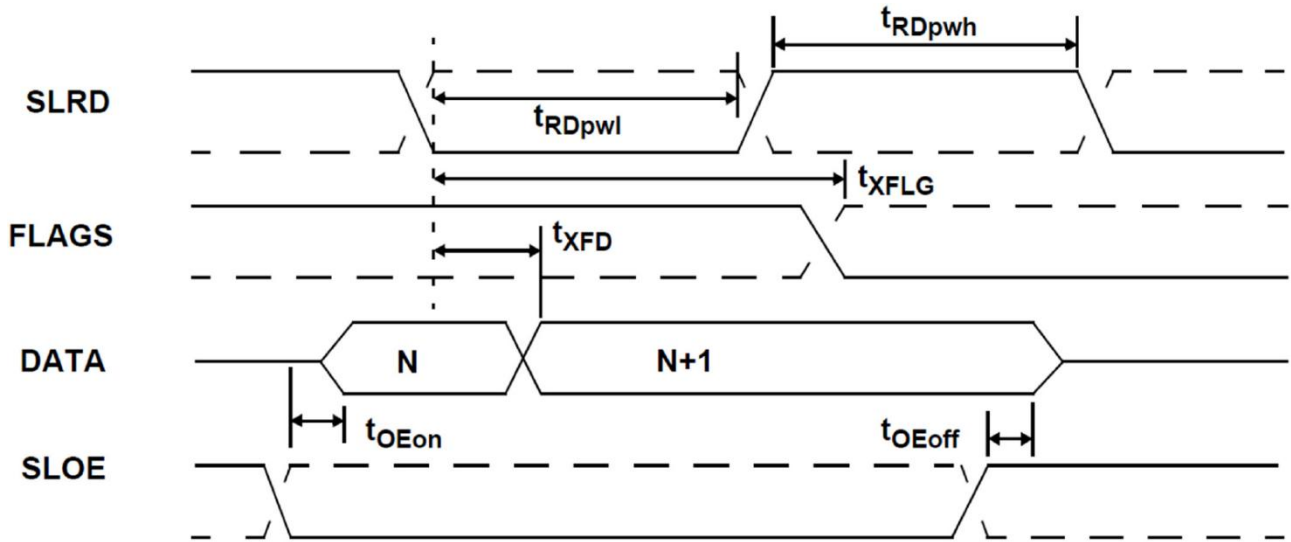


图 9 异步 FIFO 读取信号时序

### 异步 FIFO 读取信号时序

参数	说明	最小值	最大值	单位
$t_{RDpwl}$	SLRD 低脉冲宽度	50		ns
$t_{RDpwh}$	SLRD 高脉冲宽度	50		ns
$t_{XFLG}$	从 SLRD 到 FLAGS 输出传输延时		70	ns
$t_{XFD}$	从 SLRD 到 FIFO 数据输出传输延时		15	ns
$t_{OEon}$	从 SLOE 启动到 FIFO 数据有效		10.5	ns
$t_{OEoff}$	从 SLOE 关闭到 FIFO 数据保持		10.5	ns

### 异步 FIFO 写入

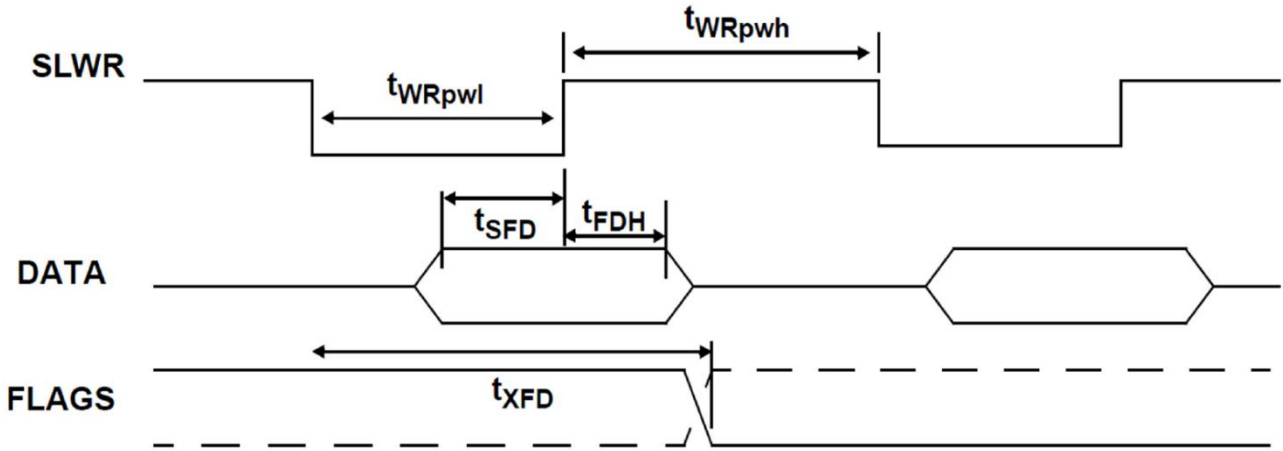


图 10 异步 FIFO 写入信号时序

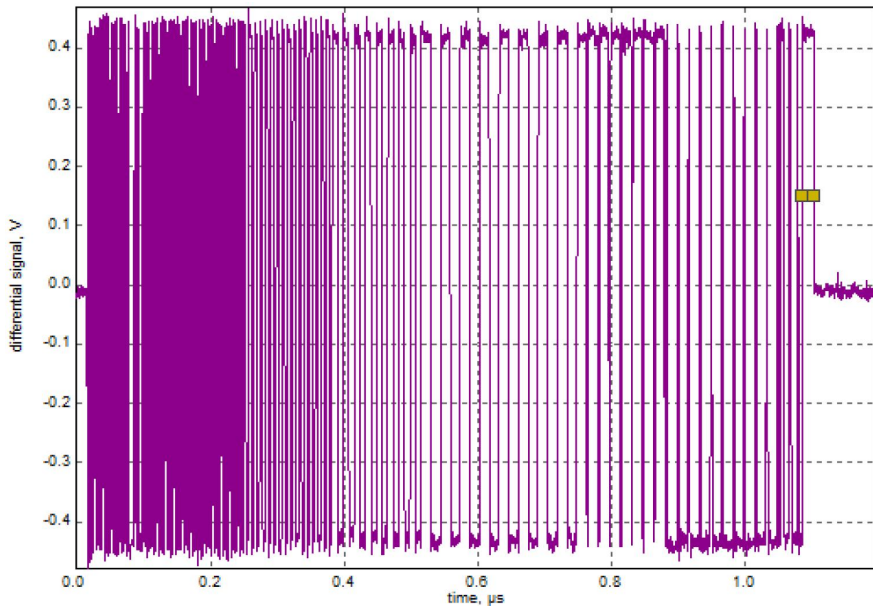
### 异步 FIFO 写入信号时序

参数	说明	最小值	最大值	单位
$t_{WRpwl}$	SLWR 低脉冲宽度	50		ns
$t_{WRpwh}$	SLWR 高脉冲宽度	70		ns
$t_{SFD}$	从 SLWR 到 FIFO DATA 建立时间	10		ns
$t_{FDH}$	从 FIFO 数据到 SLWR 的保持时间	10		ns
$t_{XFD}$	从 SLWR 到 FLAGS 输出的传输延时		70	ns

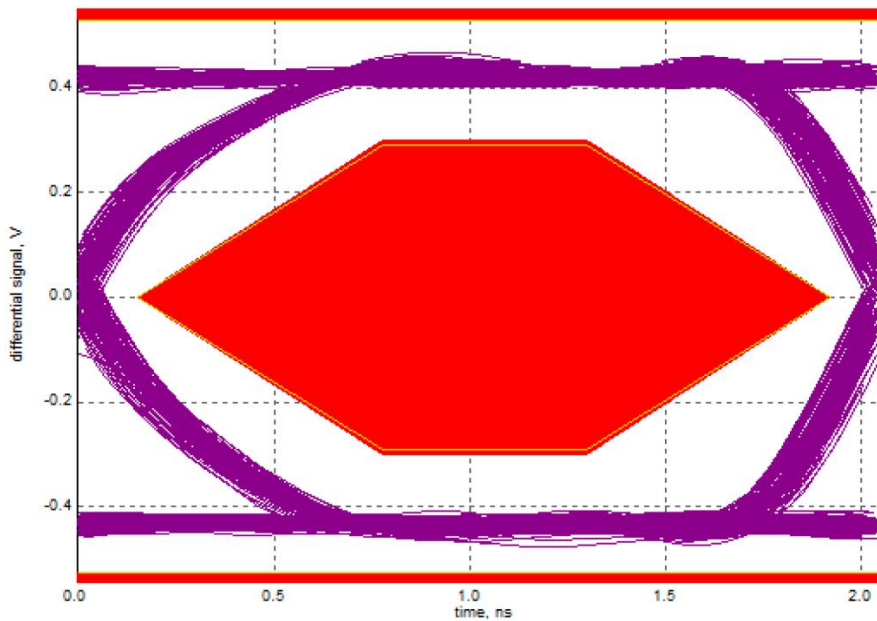


## USB 一致性参数

CBM9002A 系列完全兼容 USB2.0 协议标准 (除低速 LS 外), 完全符合 USB IF 的兼容性测试标准。以下为基于是德科技 (原安捷伦科技) 的 MSO804A 示波器平台, 配合标准 USB2.0 测试夹具所得到的 USB2.0 兼容性高速眼图结果。报告显示 CBM9002A 系列完全通过了 USB2.0 高速(HS480Mbps)和全速 (FS12Mbps)的兼容性测试。



Trial 1:Test Packet

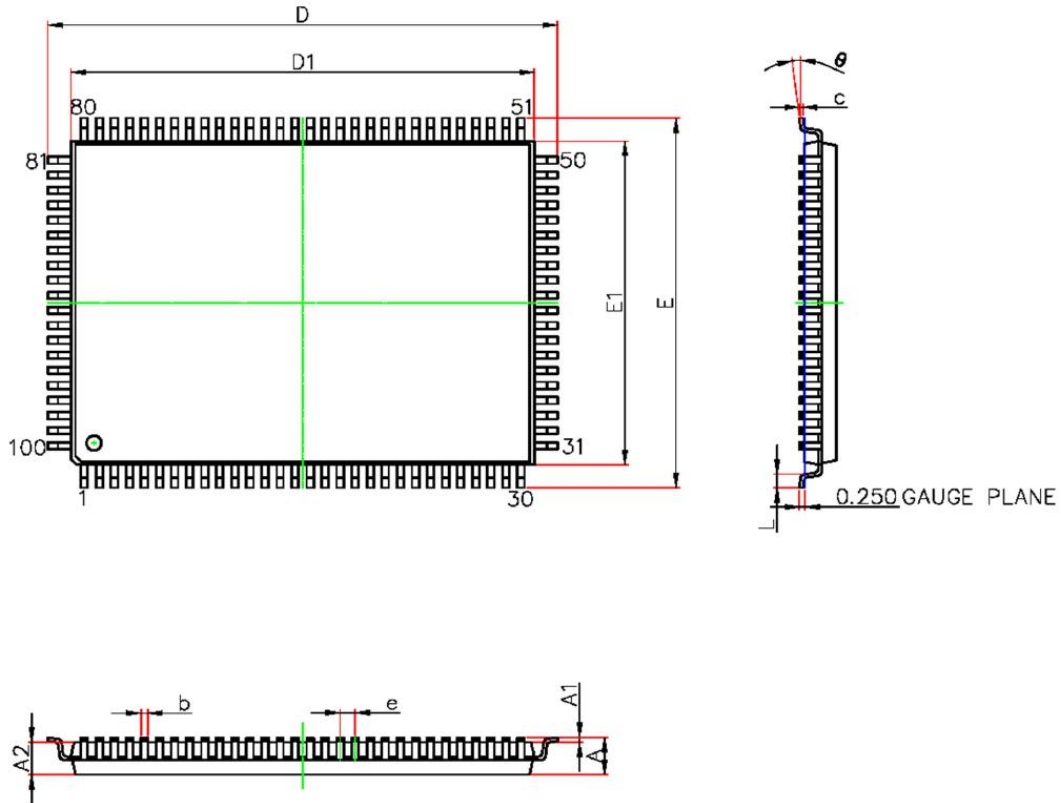


Trial 1:Eye Diagram

图 11 CBM9002A 系列 USB2.0 高速兼容性测试眼图结果

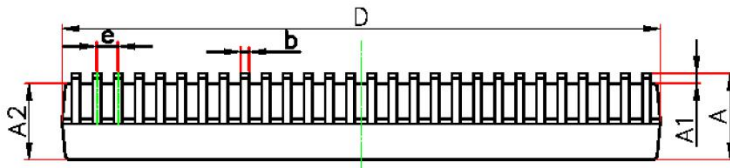
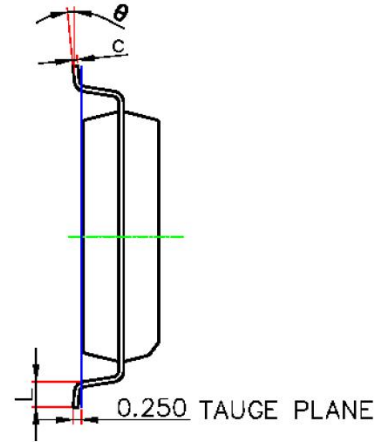
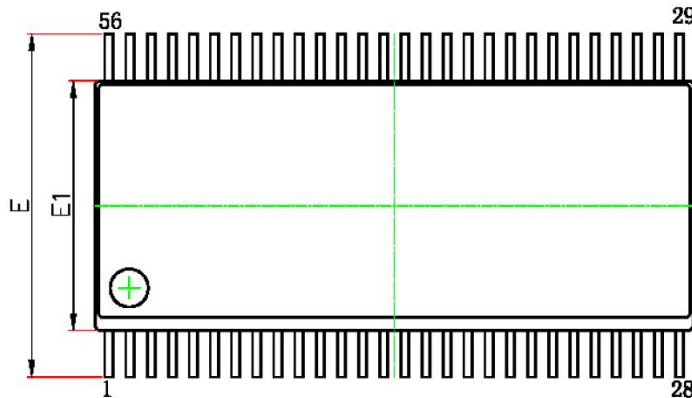
## 封装规格

### LQFP100 封装数据



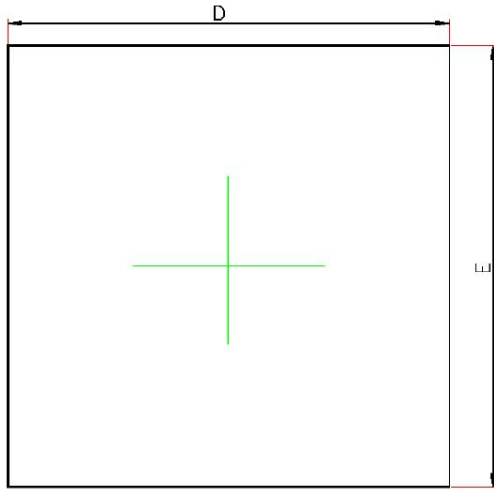
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A		1.600		0.063
A1	0.050	0.150	0.002	0.006
A2	1.350	1.450	0.053	0.057
D	21.80	22.20	0.858	0.874
D1	19.90	20.10	0.783	0.791
E	15.80	16.20	0.622	0.638
E1	13.90	14.10	0.547	0.555
b	0.220	0.380	0.009	0.015
c		0.200		0.008
L	0.450	0.750	0.018	0.030
e	0.650 BSC		0.026 BSC	
θ	0°	7°	0°	7°

### SSOP56 封装数据

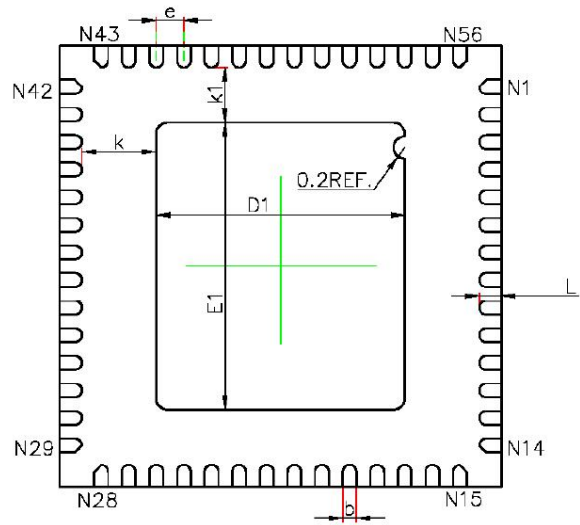


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	2.438	2.794	0.096	0.110
A1	0.203	0.406	0.008	0.016
A2	2.235	2.337	0.088	0.092
D	18.288	18.542	0.720	0.730
E	10.033	10.668	0.395	0.420
E1	7.417	7.595	0.292	0.299
c	0.127	0.254	0.005	0.010
b	0.203	0.343	0.008	0.014
L	0.610	1.016	0.024	0.040
e	0.635 BSC		0.025 BSC	
theta	0°	8°	0°	8°

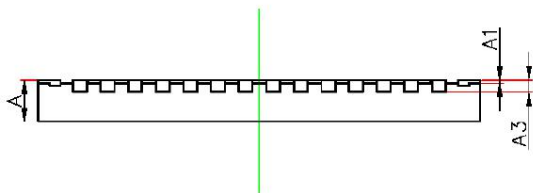
### QFN56 封装数据



TOP VIEW



BOTTOM VIEW

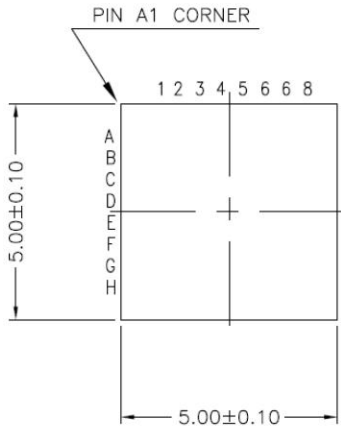


SIDE VIEW

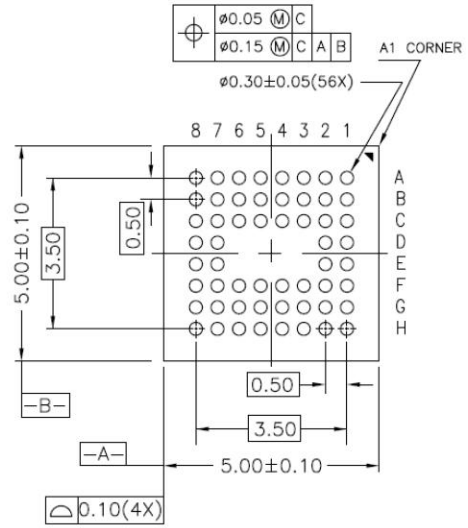
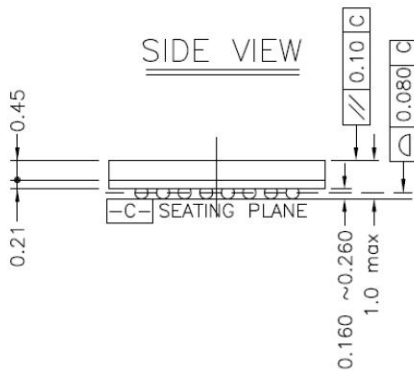
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.800	0.900	0.031	0.035
A1	0.000	0.050	0.000	0.002
A3	0.203 REF		0.008 REF	
D	7.900	8.100	0.311	0.319
E	7.900	8.100	0.311	0.319
D1	4.400	4.600	0.173	0.181
E1	5.100	5.300	0.201	0.209
b	0.200	0.300	0.008	0.012
e	0.500 BSC		0.020 BSC	
k	1.350 REF		0.053 REF	
k1	1.000 REF		0.039 REF	
L	0.300	0.500	0.012	0.020

# VFBGA56 封装数据

TOP VIEW



SIDE VIEW



BOTTOM VIEW

## 封装参数

PRODUCT	ORDERING NUMBER	TEMPRANGE	PACKAGE	PAKEAGE MARKING	TRANSPOT MEDIA,QUANTILY
CBM9002	CBM9002A-56ISG	-40°C~85°C	SSOP-56	CBM9002A	Reel,390
	CBM9002A-56SCG	-0°C~70°C	SSOP-56	CBM9002A	Reel,390
CBM9002	CBM9002A-56IBG	-40°C~85°C	BGA-56	CBM9002A	Reel,2500
	CBM9002A-56BCG	-0°C~70°C	BGA-56	CBM9002A	Reel,2500
CBM9002	CBM9002A-56ILG	-40°C~85°C	QFN-56	CBM9002A	Reel,2500
	CBM9002A-56LCG	-0°C~70°C	QFN-56	CBM9002A	Reel,2500
CBM9002	CBM9002A-100TIG	-40°C~85°C	TQFP-100	CBM9002A	Reel,720
	CBM9002A-100TCG	-0°C~70°C	TQFP-100	CBM9002A	Reel,720