

概述

CL1840 是一款高集成度的 PWM 反激控制器，它提供了几个功能来提高效率、EMI 改进方案，并内置完整的保护功能。轻载时，低启动电流和专有的绿色模式功能提供了逐渐降频的模式。空载时，它还内置突发模式和几个参数，以完全关闭 PWM 输出，最大限度地减少外部功率管的开关损耗。CL1840 还内置了电流检测和反馈回路的前沿消隐 (LEB)，以屏蔽输入信号的尖峰噪声。内置的斜坡补偿使系统在通用输入电压范围内提供稳定的功率限制。锯齿波频率功能用于 EMI 改进解决方案。CL1840 还提供 OLP (过负载保护)，VDD OVP (过压保护) 等各种保护功能，以防止电路在异常状态下损坏。

特性

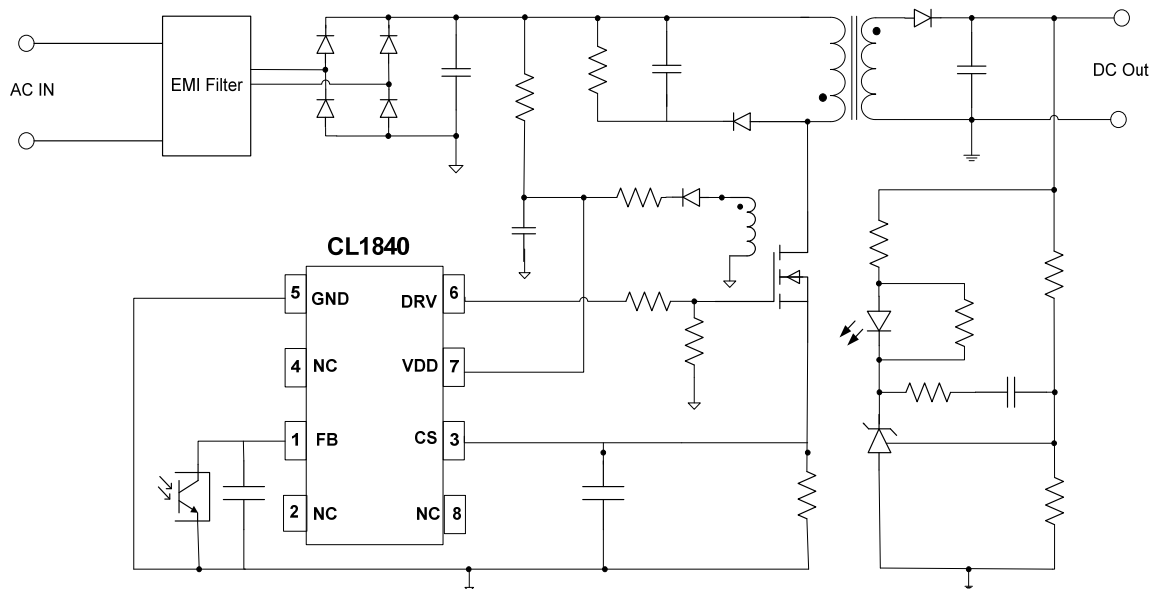
- ◆ 具有出色 ESD 保护的高压 CMOS 工艺
- ◆ 4ms 软启动
- ◆ 超低启动电流 (<6 uA)
- ◆ 轻负载时 0.5mA 超低工作电流
- ◆ 自适应频率调整和斜率补偿@固定频率 CCM 模式
- ◆ 内置斜率和负载调节补偿
- ◆ 逐周期电流限制的电流模式控制
- ◆ CS 引脚上的 LEB (前沿消隐)
- ◆ 欠压锁定 (UVLO)
- ◆ VDD OVP (过压保护)
- ◆ 过载保护功能 (OLP)
- ◆ 光电耦合器短路保护
- ◆ 反馈开路保护

应用范围

- ◆ AC / DC 适配器和电池充电器
- ◆ ATX 待机电源
- ◆ 开放式开关电源和 CD (R)
- ◆ 机顶盒 (STB) 替代 384X

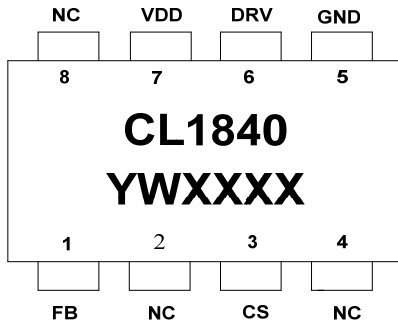
CL1840 采用 DIP8 封装

典型应用



打标说明及管脚分布

DIP8

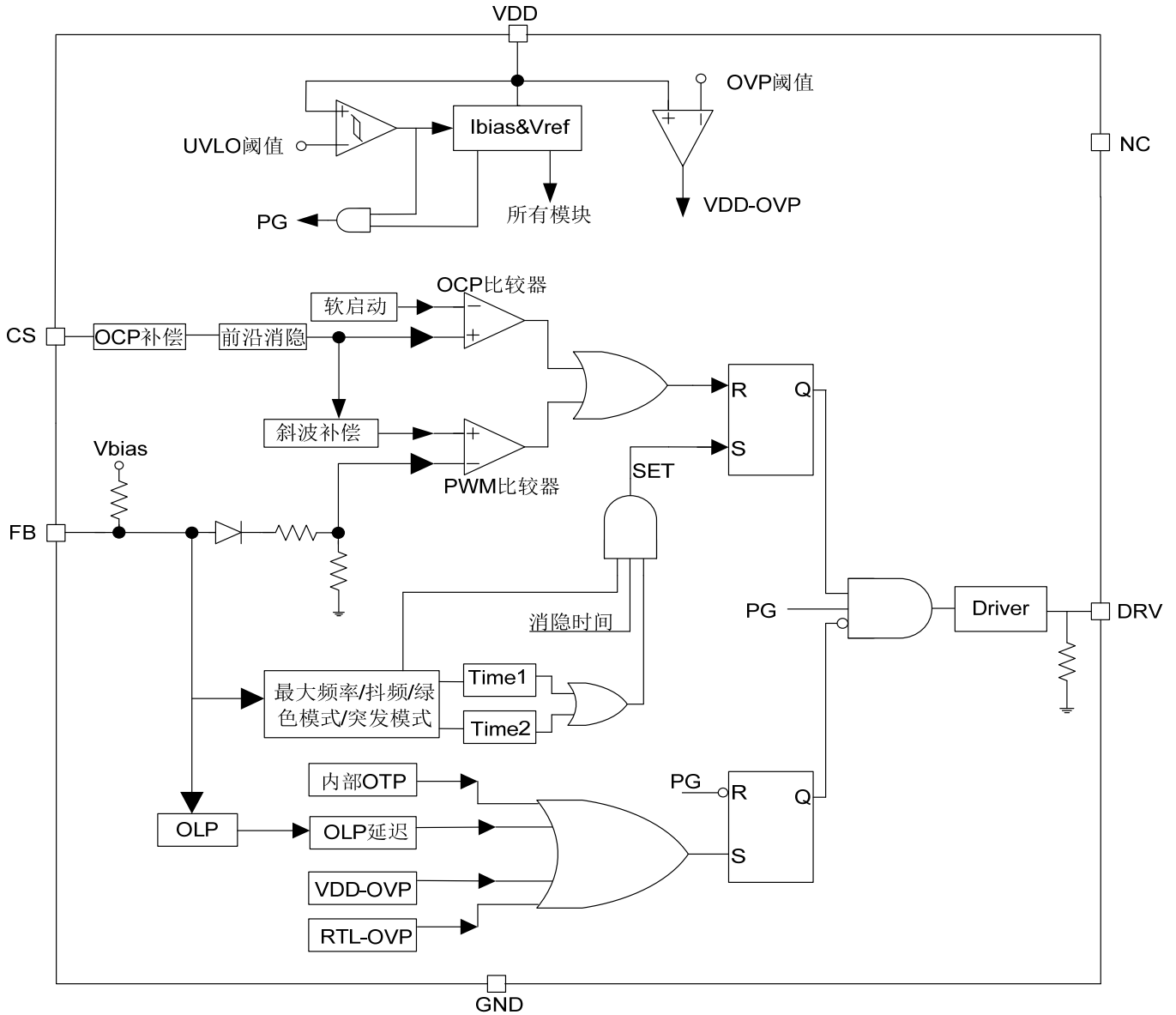


管脚图	丝印字符	丝印字符说明
左示意图	CL1840	芯片型号
	Y	年号
	W	周号
	XXXX	生产批号

管脚描述

管脚号	管脚名	描述
1	FB	反馈信号输入端。PWM占空比由此脚电平和CS输入信号决定
2	NC	空脚
3	CS	电流检测输入端。连接到MOS管电流检测电阻结点
4	NC	空脚
5	GND	接地端
6	DRV	图腾柱结构功率MOS管栅极驱动端
7	VDD	电源端
8	NC	空脚

结构框图



最大额定值（注）

参数	范围
电源电压	-0.3 V to 28 V
FB, CS输入电压	-0.3 V to 6 V
驱动脚电压	-0.3 V to $V_{DD}+0.3$
最小/最大存储温度 T_{stg}	-55 °C to 150 °C
最小/最大工作结温度 T_j	-40 °C to 150 °C
结温到空气的热阻	220 °C/W
环温85°C时的功耗	0.25W
焊接温度(焊锡, 10secs)	260 °C
ESD (人体模式)	3KV
ESD (机器模式)	300V

封装耗散等级

封装	$R_{\theta JA}$ (°C/W)
DIP8	75

注：超出“最大额定值”可能损毁器件。推荐工作范围内器件可以工作，但不保证其特性。长时间运行在最大额定条件下可能会影响器件的可靠性。

推荐工作范围

符号	参数范围	单位
VDD	11~25	V
启动电阻阻值	1~10	MΩ
工作环境温度	-40~85	°C

电气特性

(无特殊说明默认测试条件 $V_{DD}=15V$, $T_A = 25^{\circ}C$)

符号	参数	测试条件	最小值	典型值	最大值	单位
电源电压 (VDD)						
I_{DD_ST}	启动电流	$V_{DD}=V_{UVLO(ON)}-0.1V$		3.5	6	μA
I_{DD_OP}	工作电流 (DRV脚加1nF电容)	FB=0V	0.4	0.6	0.8	mA
		FB=2.2V, CL=1nF	1.5	2	2.5	mA
		OLP	0.4	0.5	0.6	mA
$V_{UVLO(ON)}$	进入VDD欠压锁定电压	VDD 电压下降	7	8	8	V
$V_{UVLO(OFF)}$	退出VDD欠压锁定电压	VDD 电压上升	15.5	16.5	17.5	V
V_{OVP}	VDD电压保护阈值		26.5	28	29.5	V
反馈输入 (FB)						
V_{FB_OPEN}	V_{FB} 开环电压		4.5	5	5.5	V
I_{FB_SHORT}	FB脚短路电流	短路FB与GND, 测量流出FB的电流	0.18	0.23	0.28	mA
$V_{TH_Burst_L}$	进入Burst模式阈值电压		0.9	1.0	1.1	V
$V_{TH_Burst_HY}$	Burst模式阈值回滞电压		0.05	0.1	0.15	V
V_{TH_green}	进入Green模式阈值		1.9	2.0	2.1	V
V_{TH_PL}	触发过载保护时FB的阈值电压		3.8	4.1	4.4	V
电流检测输入 (CS)						
t_{LEB}	前沿消隐时间		250	350	450	ns
V_{CS}	CS最大参考电压		0.7	0.75	0.8	V
V_{SS}	软启动时间			4		4ms
振荡器						
f_{NOM}	振荡器频率		60	65	70	kHz
T_{SS_freq}	频率软启动时间	Freq=65KHz		4		ms
f_{BURST}	Burst模式基础频率		21	23	25	kHz
Dmax	最大占空比		72	77	82	%
栅极驱动器输出 (DRV)						
V_{OL}	输出低电平	$V_{DD}=15V, I_O=20mA$			1	V
V_{OH}	输出高电平	$V_{DD}=15V, I_O=20mA$	8			V
V_{DRV_CLAMP}	输出钳位电压	$V_{DD} = 25V$	10.5	11.5	12.5	V
t_R	输出上升时间	$V_{DD}=15V, CL= 1nF$	200	300	400	ns
t_F	输出下降时间	$V_{DD}=15V, CL= 1nF$	50	80	100	ns
芯片内部过温度保护 (OTP)						
T_{Enter}	温度保护阈值		130	140	150	$^{\circ}C$
T_{HY}	过温度保护回滞幅度			30		$^{\circ}C$

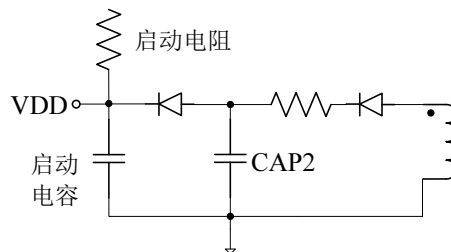
使用说明

CL1840 是一款高集成度的 PWM 反激控制器，它提供了几个功能来提高效率、EMI 改进方案，并内置完整的保护功能。同时，芯片高度集成化以减少外部元件数量和尺寸，其主要功能描述如下：

●Pin7 VDD脚

启动期间，VDD值低于UVLO阈值，因此芯片不工作，此时，电流通过启动电阻给电容充电以抬高VDD，当VDD电压上升到芯片退出UVLO模式后，芯片开始正常工作，输出栅极信号，变压器的辅助绕组这时给芯片提供工作电流。较低的启动电流(不大于于6uA)和工作电流以及相差有8V之大的VDD-on和VDD-off阈值之差，意味着采用较大的启动电阻和较小的启动电容。启动电容要能够保证满载启动和空载运行时VDD不跌落重启，启动电阻越大此电阻的消耗越小，代表着更小的待机损耗，但启动时间相对应的就越长。因此启动电阻的选择是需要配合启动电容，折中慎重选取的。

当VDD电容遇到正常运行不能维持的问题时（尤其在低温条件下易出现此现象），可使用二级启动，如下图，增加CAP2以助维持正常工作。

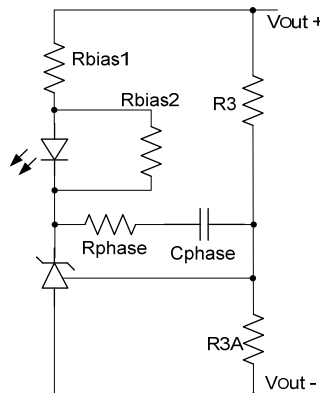


●Pin1 FB脚 电压反馈环路

CL1840采用电流模式控制，也就是说，电压反馈信号由次级侧的TL431通过光电耦合器提供给FB引脚，FB和Cs引脚的电流信号一起控制MOSFET的导通/截止。降低与光耦并联的反馈电阻的损耗可以提高轻负载效率。由于反馈电阻的电流小，分流稳压器和最小调节电流必须仔细设计，以确保其能够在低阴极电流下进行调节。反馈环路的稳定性非常重要。不稳定的反馈信号会造成输出振荡或音频噪声。我们可以通过测试输出的纹波和噪声来调整相位和增益的闭环余量。

Rbias1和Rbias2可防止重载时异常输出电压。一般来说，建议Rbias1取100~1KΩ，Rbias2取1.5~2.5KΩ；Rphase和Cphase用于RC相位补偿，同时调整芯片FB脚的电容值以防止振荡；R3和R3A的比值取决于输出电压的大小，输出电压公式为 $V_{out} = 2.5V * (R3 + R3A) / R3A$ ，TL431的稳压值 $V_{ref} = 2.5V$ 。

此外，芯片的FB脚也用于确定绿色模式电平。当VFB为0.1至0.85V时，它处于空载或轻载状态；轻载时，突发模式可有效降低开关损耗。当VFB大于1V时，芯片将离开待机模式。VFB的正常运行范围为1V~3.5V，大于3.5V为开环状态；FB脚的短路电流约为0.23mA。



绿色模式PWM反激（SSR）控制器

●Pin6 驱动脚DRV

CL1840的驱动能力约为450mA，可支持65W左右的功率，并将最大占空比限制在75%以下，以避免变压器饱和。MOSFET的阈值通常为12V，CL1840的最大钳位电压为16V，以防止击穿MOSFET。

●Pin3 CS脚 电流检测环路

对于电流模控制应用而言，当系统工作在CCM时，会出现稳定性问题。为了解决这个难题，内置的斜坡补偿会提高稳定性，并避免峰值电流模的次谐波振荡。CS引脚的输入端包含一个300ns的前沿消隐时间，以防止MOS导通瞬间的误触发。

●VDD强制Burst功能

CL1840的VDD有强制开启burst模式的功能。在重载切空载的过程中，有可能会因为输入输出电容的放电不平衡导致VDD下降到UVLO还没有开关动作，进而导致VDD维持不住发生异常重启现象。而VDD的强制开启功能就是为了避免这个异常重启现象，具体动作为： $V_{FB} < 1.1V$ 且 $V_{DD} < 9.5V$ 时，IC强制输出，此状态下 $f = f_{BURST}$ 且 $CS = 0.15V$ 。当 $V_{DD} > 10.5V$ 时退出此模式。注意：设计 V_{aux} 高于 $(V_{DD} + V_{diode})$ 。

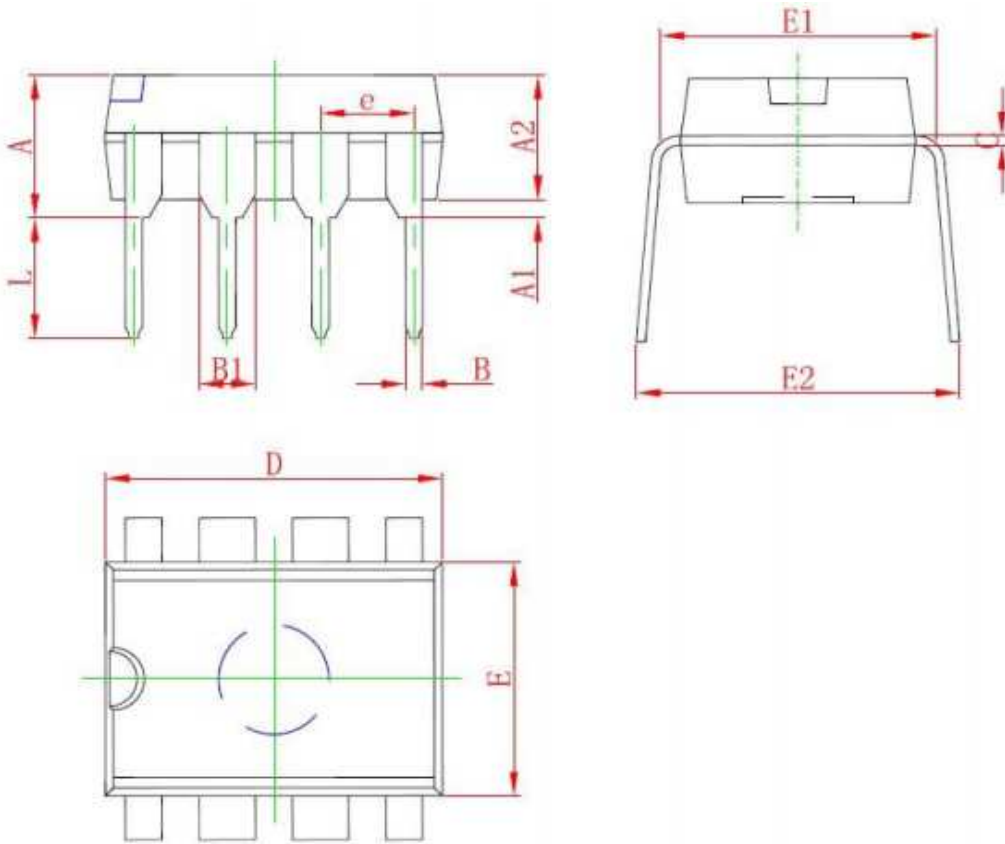
●OLP(过载保护)和SCP(短路保护)

为了保护电路在过载状态，短路状态或开环状态受到损坏，CL1840集成了OLP保护功能。在异常情况下，FB脚电压 V_{FB} 被拉高，当 $V_{FB} > 4.1V$ ，经过64ms的延迟后，芯片强制关闭输出。

●VDD OVP功能

功率MOSFET的最大VGS额定值约为30V。为了防止VGS进入故障状态，CL1840在VDD引脚上集成了OVP功能。当VDD电压高于OVP阈值时，输出栅极驱动电路将同时关断，直到下一个UVLO(on)周期。

封装说明: DIP8



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524 (BSC)		0.060 (BSC)	
C	0.204	0.360	0.008	0.014
D	9.000	9.400	0.354	0.370
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.540 (BSC)		0.100 (BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

- 此处描述的信息有可能有所修改，恕不另行通知
- 智浦芯联不对由电路或图表描述引起的与的工业标准，专利或第三方权利相关的问题负有责任。应用电路图仅作为典型应用的示例用途，并不保证其对专门的大规模生产的实用性。
- 当该产品及衍生产品与瓦圣纳协议或其他国际协议冲突时，其出口可能会需相关政府的授权。
- 未经智浦芯联刊印许可的任何对此处描述信息用于其他用途的复制或拷贝都是被严厉禁止的。
- 此处描述的信息若智浦芯联无书面许可不能被用于任何与人体有关的设备，例如运动器械，医疗设备，安全系统，燃气设备，或任何安装于飞机或其他运输工具。
- 虽然智浦芯联尽力去完善产品的品质和可靠性，当半导体产品的失效和故障仍在所难免。因此采用该产品的客户必须要进行仔细的安全设计，包括冗余设计，防火设计，失效保护以防止任何次生性意外、火灾或相关损毁。