

## 概述

CL9036系列是高精度、高纹波抑制率、低功耗、低压差，具有过流和短路保护的CMOS降压型。这些器件具有很低的静态偏置电流（70uA Typ.），他们能在输入、输出电压差极小的情况下提300mA的输出电流，并且仍能保持良好的调整率。由于输入输出间的电压差很小，且静态偏置电流也很小，这些器件特别适用于希望延长有用电池寿命的电池供电类产品，如计算机、消费类产品和工业设备等。

## 特性

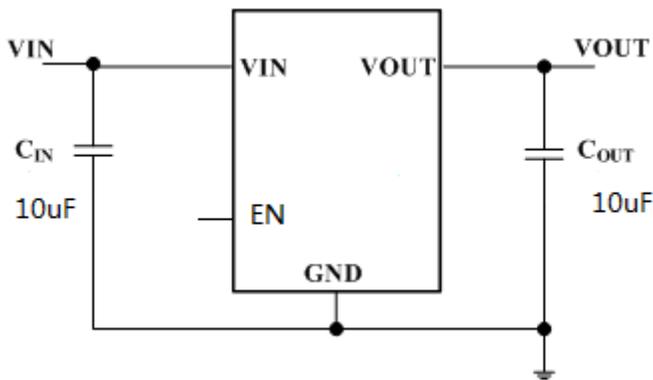
- ◆最大输出电流： 300mA
- ◆输出电压范围： 1.2V ~ 3.6V
- ◆高纹波抑制比： 70分贝1千赫
- ◆极低的静态偏置电流： 70uA（典型）
- ◆在关机模式下小于1uA
- ◆交界处的温度运作为-40°C至+85°C

## 应用范围

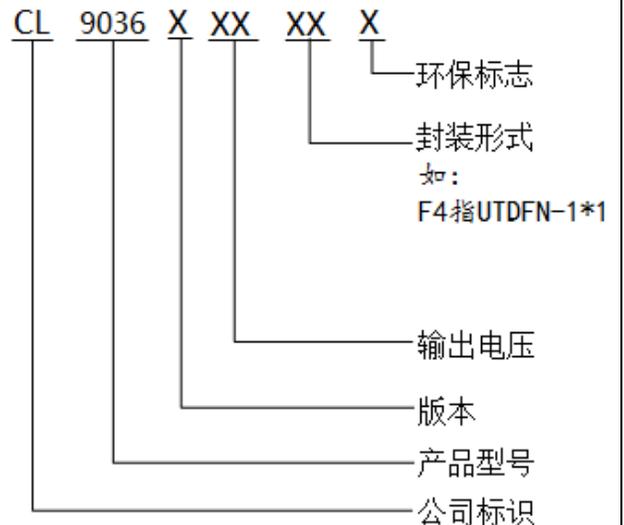
- ◆CDMA/GSM移动电话
- ◆PDAs/MP3
- ◆WLAN和蓝牙设备
- ◆机顶盒

CL9036A采用UTDFN1\*1-4L封装

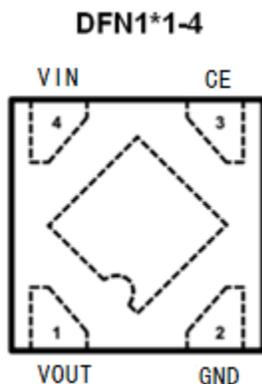
## 典型应用



## 选型指南



**管脚分布图**



**丝印说明**

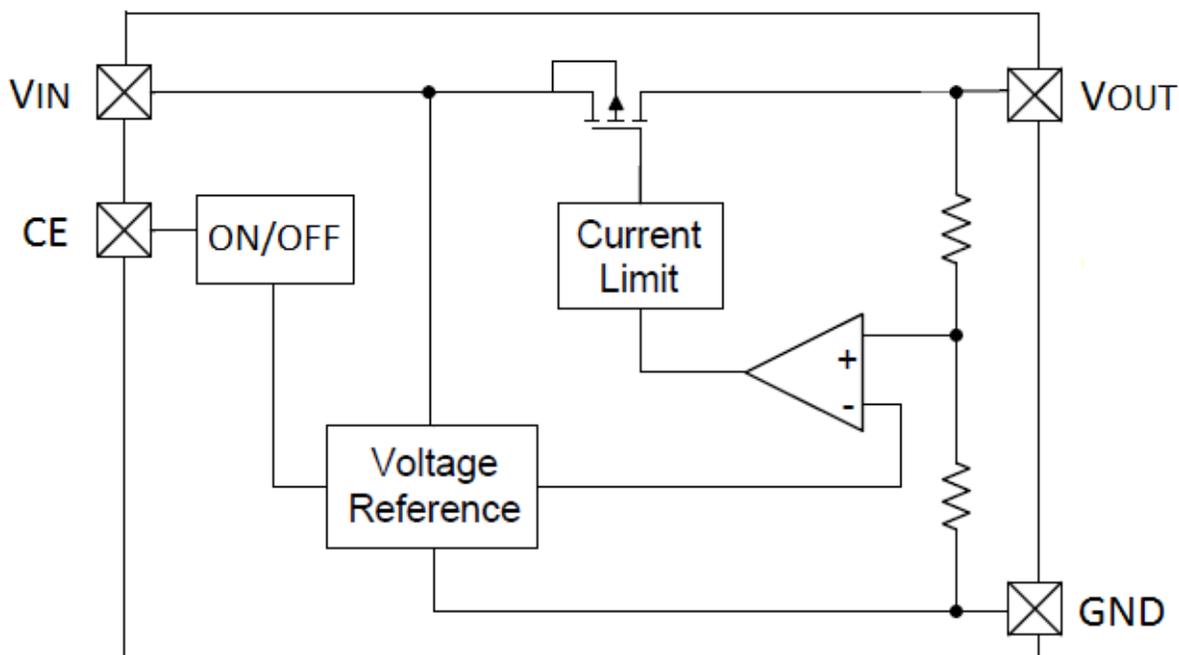
芯片型号	芯片封装	芯片丝印
CL9036A12F4M	UTDFN-1*1-4L	AC
CL9036A15F4M	UTDFN-1*1-4L	AE
CL9036A18F4M	UTDFN-1*1-4L	AB
CL9036A25F4M	UTDFN-1*1-4L	AH
CL9036A28F4M	UTDFN-1*1-4L	AM
CL9036A30F4M	UTDFN-1*1-4L	AP
CL9036A33F4M	UTDFN-1*1-4L	AK
CL9036A36F4M	UTDFN-1*1-4L	AQ

**管脚描述**

脚位号	脚位	说明
<b>UTDFN-1*1-4L</b>		
2	GND	接地端
4	VIN	电源端
1	VOUT	输出端
3	CE	即EN, 使能端

**ESD与Latch-up等级**

人体模型ESD级别	>2000V
机器模型ESD级别	>200 V
Latcu-up 级别	>200mA

**功能块框图**

**极限参数**

参数	符号	极限值	单位
VIN 脚电压	VIN	6	V
VOUT 脚电流	IOUT	450	mA
VOUT 脚电压	VOUT	$V_{ss}-0.3 \sim V_{out}+0.3$	V
CE 脚电压	VCE	$GND-0.3 \sim VIN+0.3$	V
工作环境温度	Topr	-25 ~ +85	°C
存储温度	Tstg	-40 ~ +125	°C
焊接温度和时间	Tsolder	260°C, 10s	°C

注释：超出“绝对极限参数”可能损坏器件。推荐工作范围内器件可以工作，但不保证其特性。长时间运行在绝对极限参数条件下可能会影响器件的可靠性。

**封装耗散等级**

封装	Pd (mW)
UTDFN-1*1-4L	500

**主要参数及工作特性**

(VIN= VIN =Vout+1V, CIN=1uF~10uF, COUT=1uF~10uF, Ta=25°C, 除特别指定)

参数	符号	条件	最小值	典型值	最大值	单位
输入电压	VIN				6.0	V
静态电流	IQ	VIN =Vout+1V		70		uA
输出电压	VOUT	VIN =Vout+1V, IOUT=40mA	*0.98	VOUT (T) (Note 1)	*1.02	V
最大输出电流	IOUT (max)	VIN =Vout+1V		300		mA
负载特性	Δ VOUT	VIN =Vout+1V, 1mA≤IOUT≤100mA		50		mV
压差	Vdif1	IOUT =100mA		90		mV
	Vdif2	IOUT =200mA		230		mV
电源电压调整率	$\frac{\Delta VOUT}{\Delta VIN * VOUT}$	IOUT =40mA, Vout+1V≤VIN≤8V		0.05		%/V
CE 端“高”电平	VCEH		1.3			V
CE 端“低”电平	VCEL				0.7	V
输出噪声	en	IOUT =40mA, 300Hz~50kHz		50		uVrms
纹波抑制比	PSRR	Vin= [Vout+1]V +1Vp-pAC IOUT =40mA,f=1kHz		75		dB

**注释:** 1、VOUT (T) : 规定的输出电压

2、VOUT (E) : 有效输出电压 ( 即当 IOUT 保持一定数值, VIN = (VOUT (T)+1.0V)时的输出电压。

3、VCE : 考虑到高低温和工艺偏差, 建议客户将 CE PIN 的使能电压设置为 1.1V, 保留有余量。

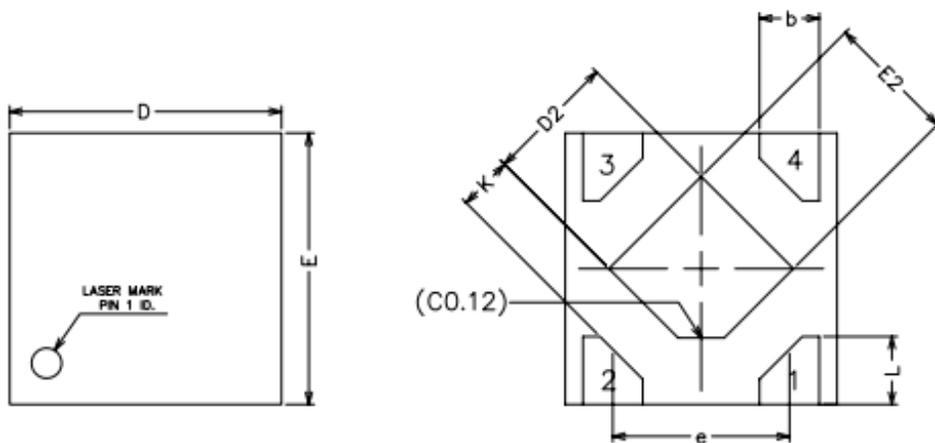
芯片内部 CE PIN 对 GND PIN 之间有内置 1MΩ 电阻。

3、Vdif : VIN1 -VOUT (E)'

VIN1 : 逐渐减小输入电压, 当输出电压降为 VOUT (E)98%时的输入电压。

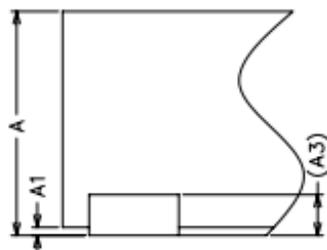
VOUT (E)'= VOUT (E)X98%。

**封装说明：DFN1\*1-4**



COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A3	0.100REF		
b	0.17	0.22	0.27
D	0.95	1.00	1.05
E	0.95	1.00	1.05
D2	0.43	0.48	0.53
E2	0.43	0.48	0.53
L	0.20	0.25	0.30
e	0.60	0.65	0.70
K	0.15	-	-



- 此处描述的信息有可能有所修改，恕不另行通知。
- 智浦芯联不对由电路或图表描述引起的与的工业标准，专利或第三方权利相关的问题负有责任。应用电路图仅作为典型应用的示例用途，并不保证其对专门的大规模生产的实用性。
- 当该产品及衍生产品与瓦圣纳协议或其他国际协议冲突时，其出口可能会需相关政府的授权。
- 未经智浦芯联刊印许可的任何对此处描述信息用于其他用途的复制或拷贝都是被严厉禁止的。
- 此处描述的信息若智浦芯联无书面许可不能被用于任何与人体有关的设备，例如运动器械，医疗设备，安全系统，燃气设备，或任何安装于飞机或其他运输工具。
- 虽然智浦芯联尽力去完善产品的品质和可靠性，当半导体产品的失效和故障仍在所难免。因此采用该产品的客户必须要进行仔细的安全设计，包括冗余设计，防火设计，失效保护以防止任何次生性意外、火灾或相关损毁。