

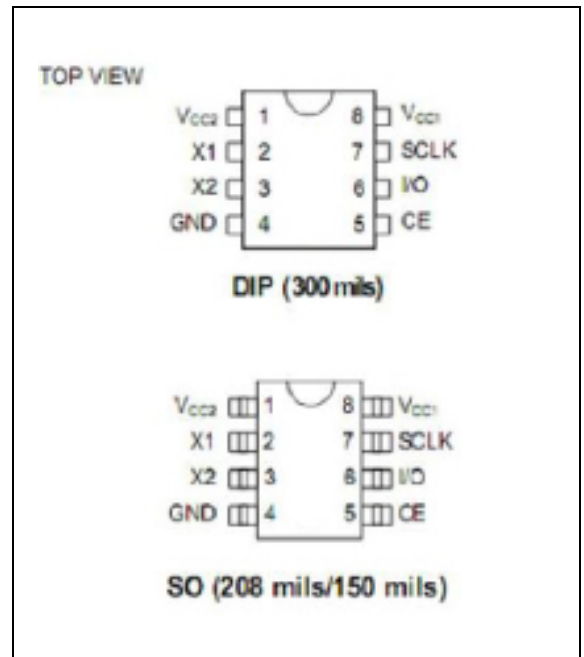
概述：管脚定义

QX1302 涓流充电计时芯片包含一个实时时钟/日历和 31 字节的静态 RAM，通过简单的串行接口与微处理器通讯。这个实时时钟/日历提供年月日、时分秒信息，对于少于 31 天的月份月末会自动调整，还有闰年校正。由于有一个 AM/PM 指示器，时钟可以工作在 12 小时制或者 24 小时制。

除计时功能外，还有如下特点：双管脚主电源和备用电源，可编程涓流充电器 VCC1，还附加 7 字节的暂存器。

广泛应用于电话、传真、便携式仪器及电池供电的仪器仪表等产品领域。

QX1302 采用 SOP - 8 封装或者 DIP - 8 封装。



主要特点：

- ▲ 实时时钟计算年、月、日、时、分、秒、星期，直到2100年，并有闰年调节功能。
- ▲ 31 x 8位通用暂存RAM。
- ▲ 串行输入输出使管脚数最少。
- ▲ 2.0V 至5.5V 宽电压范围操作。
- ▲ 在2.0V 时工作电流小于300nA。
- ▲ 读写时钟或RAM 数据时有单字节或多字节（脉冲串模式）数据传送方式。
- ▲ 8 管脚 DIP 封装或可选的8 管脚表面安装SOP封装。
- ▲ 简单的3线接口。
- ▲ 与TTL 兼容 (VCC = 5V)。
- ▲ 民用温度范围：0℃ to +80℃。
- ▲ 与DS1202/DS1302兼容。

典型工作电路

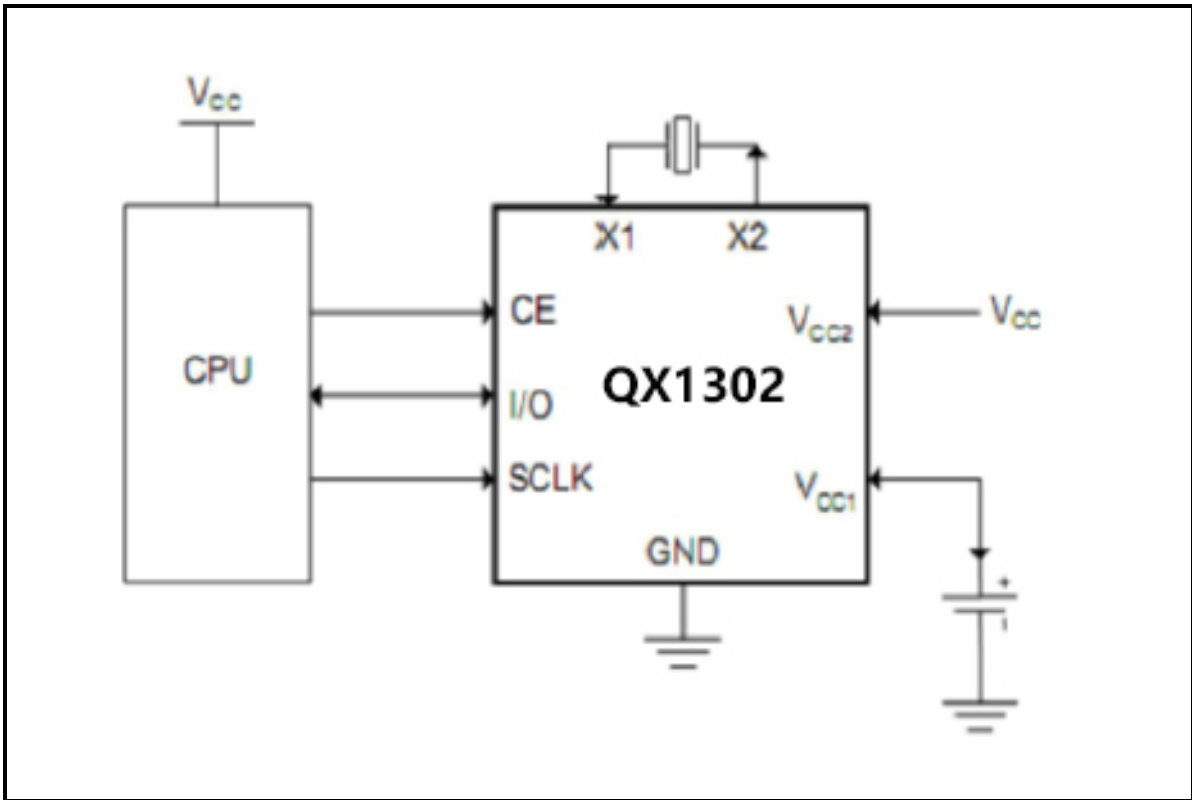


图 1 内部结构框图:

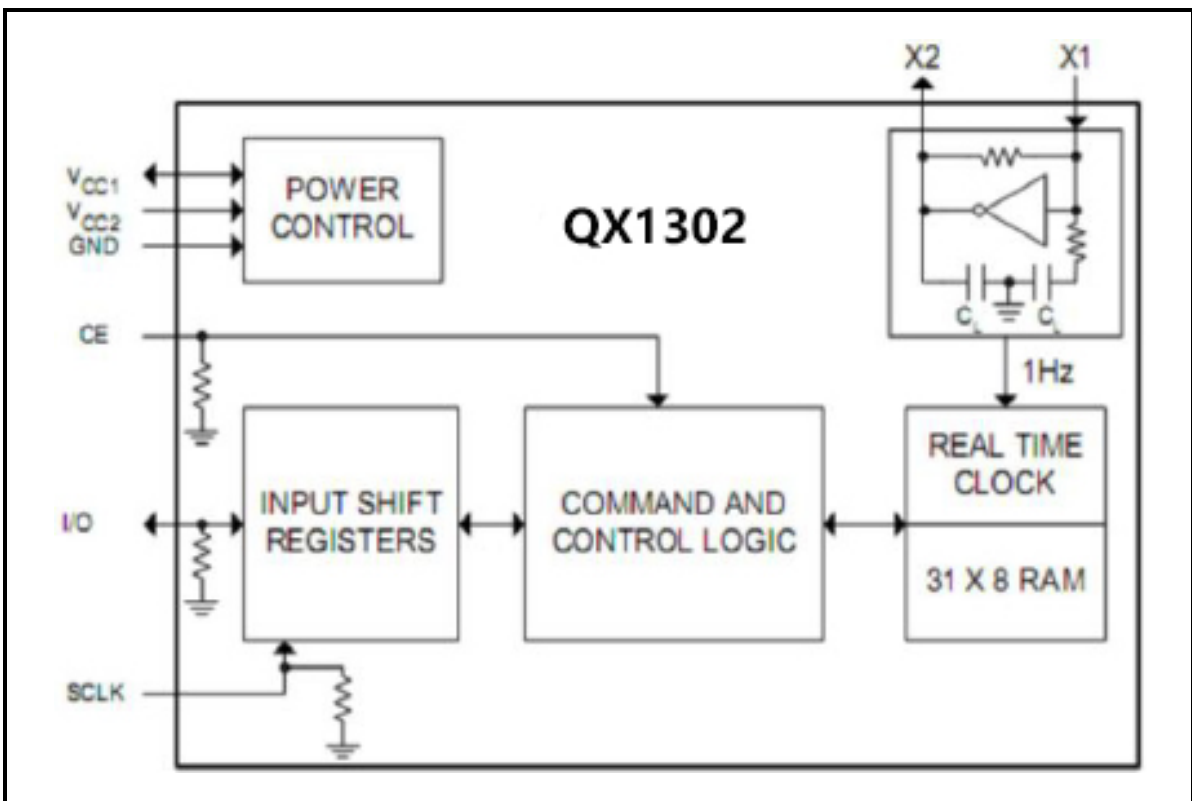
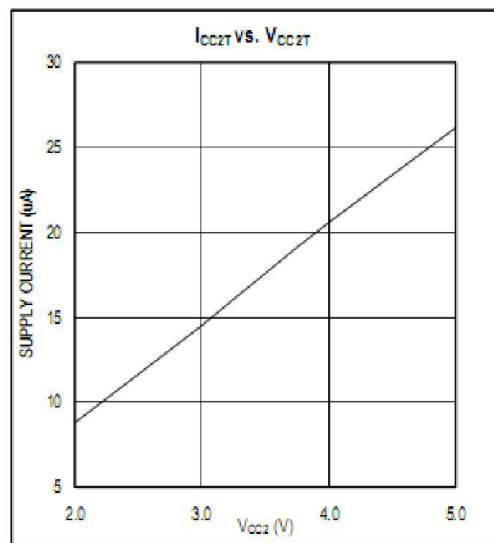
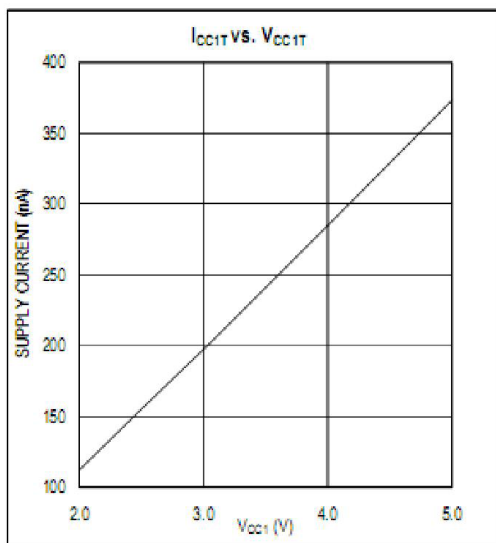


图 1 显示了串行计时器的主要元素：移位寄存器，控制逻辑，振荡器，实时时钟，还有 RAM。

典型工作性能

(VCC = 3.3V, TA = +25° C, 除非另外声明.)



管脚描述

管脚	名称	功能
1	VCC2	双供电配置中的主电源供应管脚，VCC1连接到备用电源，在主电源失效时保持时间和日期数据。QX1302工作于VCC1和VCC2中较大者，当VCC2比VCC1高0.2V时，VCC2给QX1302供电；当VCC1比VCC2高时，VCC1给QX1302供电。
2	X1	电标准的32.768kHz石英晶体相连，内部振荡器被设计与指定的6pF装载电容的晶体一起工作。
3	X2	QX1302也可以被外部的32.768kHz振荡器驱动，这种配置下，X1与外部震荡信号连接，X2悬浮。
4	GND	电源地
5	CE	输入。CE信号在读写时必须保持高电平，此管脚内部有一个40kΩ（典型值）的下拉电阻连接到地。
6	I/O	输入/推挽输出。I/O管脚是三线接口的双向数据管脚，此管脚内部有一个40kΩ（典型值）的下拉电阻连接到地。
7	SCLK	输入。SCLK用来同步串行接口上的数据动作，此管脚内部有一个40kΩ（典型值）的下拉电阻连接到地。
8	VCC1	低功率工作在单电源和电池工作系统和低功率备用电池，在使用涓流充电的系统中，这个管脚连接到可再充能量源。UL认证在使用锂电池时确保避免反向充电电流。

振荡电路

QX1302 使用一个外部 32.768kHz 晶体，振荡电路工作时不需要任何外接的电阻或者电容。

表1详细指明了几个外部晶体的参数，图1显示了震荡电路的功能简图。如果使用指定规格的晶体，

启动时间通常少于1秒钟。

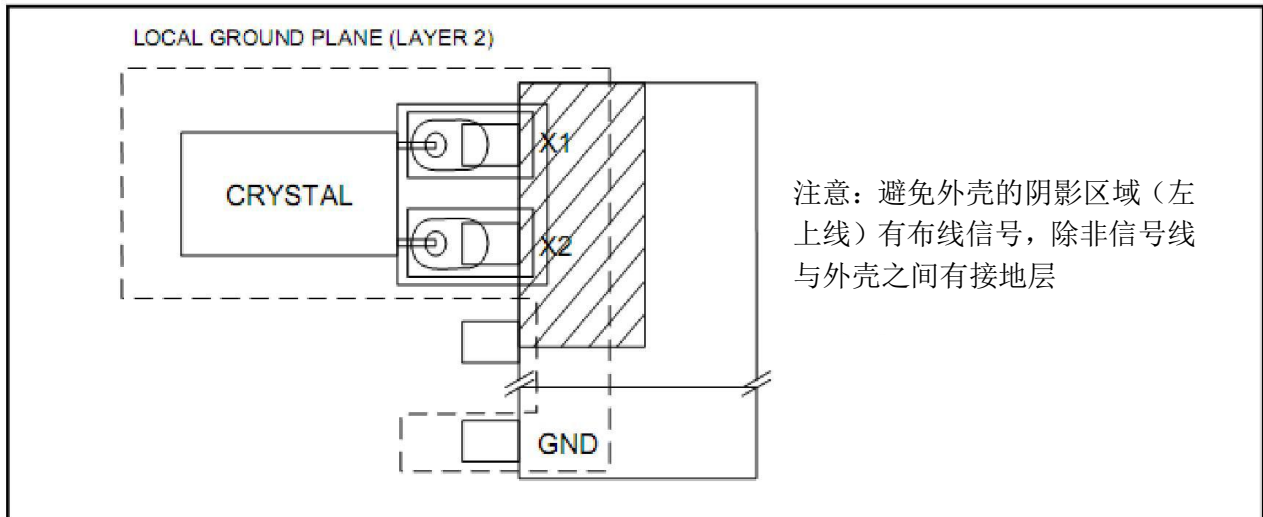
时钟精确度

时钟的精确度取决于晶振的精确度，以及振荡电路容性负载与晶振校正的容性负载之间匹配的精确度。为提高走时精确度，需在晶振端外置一组10pF-33pF负载补偿电容，具体容值由应用布局及晶振决定。另外温度改变引起的晶振频率漂移会使误差增加，外围电路噪音与震荡电路耦合可能导致时钟运行加快。图2显示了一个典型的隔离晶体与振荡器噪音的印刷电路板布局。

表1 晶振详细说明

参数	符号	最小	典型	最大	单位
标称频率	f0		32.768		kHz
谐振电阻	ESR			45	KΩ
负载电容	CL		6		pF

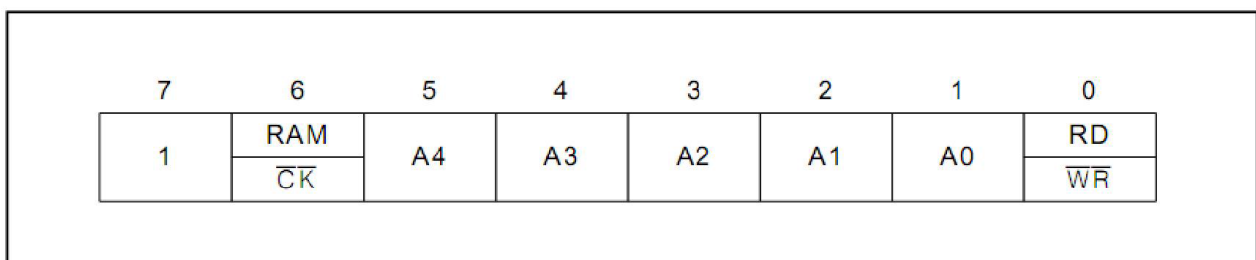
图2 典型晶振印刷电路板布局



命令字

图3显示的是命令字，命令字启动每一次数据传输，MSB（位 7）必须是逻辑1。如果是0，则禁止对QX1302写入。位 6 在逻辑0时规定为时钟/日历数据，逻辑1时为RAM数据。位1至位5表示了输入输出的指定寄存器，LSB（位0）在逻辑0时为写操作（输出），逻辑1时为读操作（输入），命令字以LSB（位 0）开始总是输入。

图3 地址/命令字



CE与时钟控制

所有数据传输开始驱动CE输入高。CE输入实现两个功能，第一，CE开启允许对地址/命令序列的移位寄存器进行读写的控制逻辑；第二，CE信号为单字节和多字节CE数据传输提供了终止的方法。

一个时钟周期是一系列的上升沿伴随下降沿，要输入数据在时钟的上升沿数据必须有效，而且在下降沿要输出数据位。如果CE输入为低电平，则所有数据传输终止，并且I/O口成高阻抗状态。图4显示了数据传输，在上电时，CE必须为逻辑0直到 V_{CC} 大于2.0V。同样，当CE变成逻辑1状态时，SCLK必须为逻辑0。

数据输入

输入写命令字的8个SCLK周期后，接下来的8个SCLK周期的上升沿数据字节被输入，如不慎发生，多余的SCLK周期将被忽略，数据输入以位0开始。

数据输出

输入读命令字的8个SCLK周期后，随后的8个SCLK周期的下降沿，一个数据字节被输出。注意第一个数据位的传送发生在命令字节被写完后的第一个下降沿，CE保持高电平，若不慎发生，多余的SCLK周期会重新发送数据字节。

此操作允许连续不断的脉冲串模式读取能力，并且I/O管脚在SCLK的每个上升沿被置为三态，数据输出从位0开始。

脉冲串模式

通过寻址31（十进制）存储单元（地址/命令位1到位5为逻辑1），脉冲串模式可以指定时钟/日历或者RAM寄存器。如前所述，位6指定时钟或者RAM，位0指定读写。时钟/日历寄存器的存储单元9至31和RAM寄存器的存储单元31无数据存储能力，脉冲串模式下的读写从地址0的位0开始。

在脉冲串模式下写时钟寄存器时，前8个寄存器必须按顺序写要发送的数据。然而，在脉冲串模式下写RAM时，不必写入要发送数据的所有31个字节。不管是否所有31个字节都被写入，每个写入字节都会被发送到RAM。

时钟/日历

读取适当的寄存器字节可以得到时间和日历信息。表3说明了RTC寄存器，写入适当的寄存器字节可以设置或初始化时间和日历，时间和日历寄存器的内容是二进制编码的十进制（BCD）格式的。

周中的天寄存器在午夜12点增加，周中的天相应的值可以由用户定义，但是必须是连续的。（例如，如果1代表周日，那么2代表周一，等等。）非法的时间和日期输入导致未定义操作。

当读写时钟和日期寄存器时，第二（用户）缓存用来防止内部寄存器更新时出错。读时钟和日期寄存器时，在CE上升沿用户缓存与内部寄存器同步。

每当秒寄存器被写入，递减计数电路被复位。写传输发生在CE的下降沿，为了避免翻转问题。一旦递减计数电路复位，剩下的时间和日期寄存器必须在一秒内被写入。

GC1302可以工作在12小时制和24小时制两种模式下，小时寄存器的位7定义为小时模式选择位，为高时是12小时制，12小时制模式下，位5是上午/下午位且高电平是下午；24小时制模式下，位5是第二位小时位（20点 - 23点）。一旦12/24改变，小时数据必须被重新初始化。

时钟暂停标志

秒寄存器的位7被定义为时钟暂停标志，当此为置1时，时钟振荡器暂停，QX1302进入漏电流小于100nA的低功耗备用模式。当此为置0时，时钟开始，初始加电状态未定义。

写保护位

涓流充电计时芯片

控制寄存器的位7是写保护位，前7位（位0至位6）被强制为0且读取时总是读0。在任何对时钟或RAM的写操作以前，位7必须为0。当为高时，写保护位禁止任何寄存器的写操作，初始加电状态未定义。因此，在试图写器件之前应该清除WP位。

涓流充电寄存器

此寄存器控制QX1302的涓流充电特性，图5的简化结构图显示了涓流充电器的基本元件。涓流充电选择（TCS）位（位4到7）控制涓流充电器的选择。为了防止意外使能，只有1010的模式才能使涓流充电器使能，所有其他模式都会禁止涓流充电器。QX1302加电时涓流充电器是禁止的，二极管选择（DS）位（位2和位3）选择 V_{CC2} 和 V_{CC1} 之间连了一个还是两个二极管。如果DS是01，一个二极管，10就是2个二极管。如果DS是00或者11，不管TCS，涓流充电器被禁止；RS位（位0和位1）选择连在 V_{CC2} 和 V_{CC1} 之间的电阻。表2显示了RS和DS选择电阻和二极管。

表2 涓流充电电阻和二极管选择

TCS BIT 7	TCS BIT 6	TCS BIT 5	TCS BIT 4	DS BIT 3	DS BIT 2	RS BIT 1	RS BIT 0	FUNCTION
X	X	X	X	X	X	0	0	Disabled
X	X	X	X	0	0	X	X	Disabled
X	X	X	X	1	1	X	X	Disabled
1	0	1	0	0	1	0	1	1 Diode, 2kΩ
1	0	1	0	0	1	1	0	1 Diode, 4kΩ
1	0	1	0	0	1	1	1	1 Diode, 8kΩ
1	0	1	0	1	0	0	1	2 Diodes, 2kΩ
1	0	1	0	1	0	1	0	2 Diodes, 4kΩ
1	0	1	0	1	0	1	1	2 Diodes, 8kΩ
0	1	0	1	1	1	0	0	Initial power-on state

电阻和二极管的选择是由用户根据电池或超级电容充电所需的最大电流决定的，最大充电电流可以向下面的例子所示那样计算出来。

假设5V系统供电电源加在 V_{CC2} ，一个超级电容连在 V_{CC1} 。同时假设涓流充电器被使能且 V_{CC2} 与 V_{CC1} 有一个二极管和电阻R1，最大电流 I_{MAX} 如下式计算：

$$I_{MAX} = (5.0V - \text{二极管压降}) / R_1 \approx (5.0V - 0.7V) / 2k\Omega \approx 2.2mA$$

超级电容充电时， V_{CC2} 与 V_{CC1} 之间压降增加，因此充电电流增加。

时钟/日历脉冲串模式

时钟/日历命令字节指定脉冲串模式操作，此模式下，前八个时钟/日历寄存器必须从地址0的位0开始连续读写（见表3）

如果当指定为写时钟/日历脉冲串模式时，写保护位置高，八个时钟/日历寄存器（包括控制寄存器）都不会发生数据传输，脉冲串模式下涓流充电器是不可读写的。在时钟脉冲串读取的开始，当前时间被传送到另外的存储器集合；当时钟继续运行时，会从这些第二寄存器读回时间信息。这就消除了万一读取时主寄存器更新重新读取寄存器的必要。

RAM

静态RAM在RAM地址空间内是以 31 x 8字节连续编址的。

RAM脉冲串模式

RAM 命令字节定义了脉冲串模式操作,此模式下,31 RAM寄存器可以从地址0的位0开始连续读写(见表3)。

寄存器摘要

表3显示了寄存器数据格式摘要。

晶振选择

一个 32.768kHz 晶振可以通过管脚2和3 (X₁, X₂) 直接连接到GC1302。为提高走时精确度,需在晶振端外置一组10pF-33pF负载补偿电容,具体容值由应用布局及晶振决定。

图4 数据传输摘要

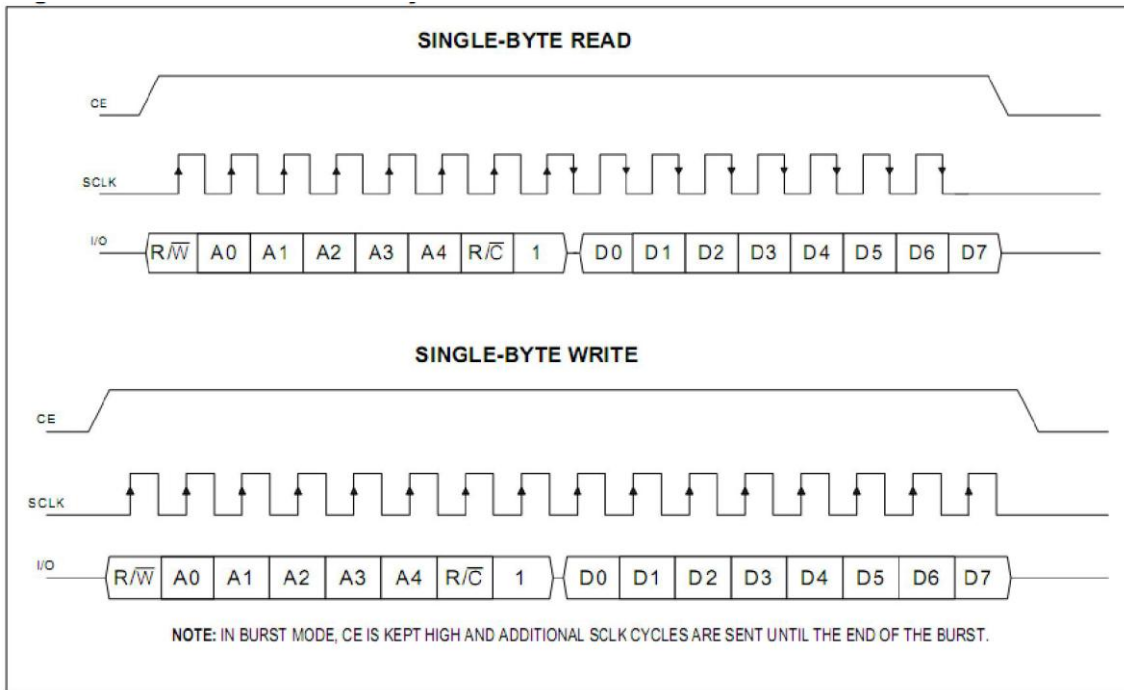


表3 寄存器地址/定义

RTC

READ	WRITE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	RANGE
81h	80h	CH	10 Seconds		Seconds					00-59
83h	82h	10 Minutes		Minutes					00-59	
85h	84h	12/24	0	10 AM/PM	Hour	Hour				1-12/0-23
87h	86h	0	0	10 Date		Date				1-31
89h	88h	0	0	0	10 Month	Month				1-12
8Bh	8Ah	0	0	0	0	Day				1-7
8Dh	8Ch	10 Year			Year					00-99
8Fh	8Eh	WP	0	0	0	0	0	0	0	—
91h	90h	TCS	TCS	TCS	TCS	DS	DS	RS	RS	—

时钟脉冲串

BFh	BEh
-----	-----

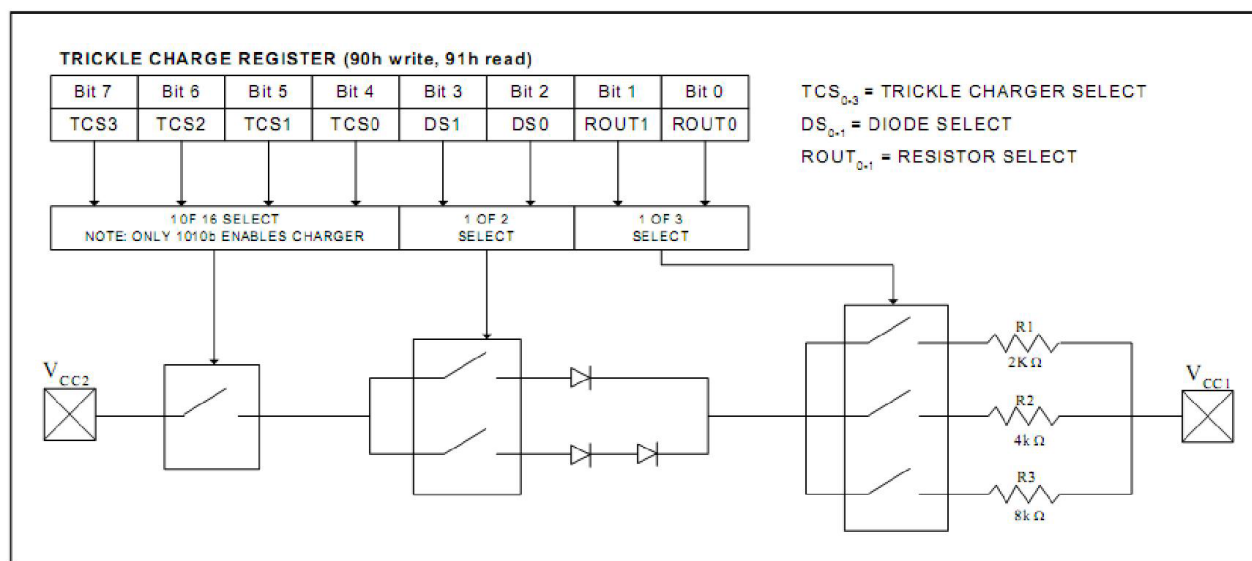
RAM

C1h	C0h		00-FFh
C3h	C2h		00-FFh
C5h	C4h		00-FFh
⋮	⋮		⋮
⋮	⋮		⋮
⋮	⋮		⋮
FDh	FCh		00-FFh

RAM脉冲串

FFh	FEh
-----	-----

图5 可编程涓流充电器



绝对最大额定值

任何管脚与地之间的电压范围	-0.5V - +7.0V
工作温度范围, 民用级	0° C - +80° C
存储温度范围	-40° C - +140° C
焊接温度 (导线, 10秒钟)	260° C

超出绝对最大额定值表中列出的应力会使器件产生永久损坏, 这些只是额定值, 不包括处于或者超出说明书的工作区间所指定的状态的功能性操作, 长期处于绝对最大额定值会影响器件的可靠性。

推荐直流工作条件

(T_A = 0° C - +80° C) (注 1)

参数	符号		状态	最小	典型	最大	单位
供电电压 V_{CC1}, V_{CC2}	$V_{CC1},$ V_{CC2}		(注 2, 10)	2.0	3.3	5.5	V
逻辑 1 输入	V_{IH}		(注 2)	2.0	$V_{CC}+0.3$		V
逻辑 0 输入	V_{IL}	$V_{CC}= 2.0V$	(注 2)	-0.3	+0.3		V
		$V_{CC}= 5V$		-0.3	+0.8		

直流电气特性

($T_A = 0^{\circ}C - +80^{\circ}C$) (注 1)

参数	符号		状态	最小	典型	最大	单位
输入漏电流	I_{LI}		(Notes 5, 13)		85	500	μA
I/O漏电流	I_{LO}		(Notes 5, 13)		85	500	μA
逻辑1输出 ($I_{OH} = -0.4mA$)	V_{OH}	$V_{CC} = 2.0V$	(Note 2)	1.6			V
逻辑1输出 ($I_{OH} = -1.0mA$)		$V_{CC} = 5V$		2.4			
逻辑0输出 ($I_{OL} = 1.5mA$)	V_{OL}	$V_{CC} = 2.0V$	(Note 2)			0.4	V
逻辑0输出 ($I_{OL} = 4.0mA$)		$V_{CC} = 5V$				0.4	
动态供电电流 (振荡器使能)	I_{CC1A}	$V_{CC1} = 2.0V$	CH = 0 (Notes 4, 11)			0.4	mA
		$V_{CC1} = 5V$				1.2	
计时电流 (振荡器使能)	I_{CC1T}	$V_{CC1} = 2.0V$	CH = 0 (Notes 3, 11,13)	0.2		0.3	μA
		$V_{CC1} = 5V$		0.45		1	
静态电流 (振荡器禁止)	I_{CC1S}	$V_{CC1} = 2.0V$	CH = 1 (Notes 9, 11, 13)	1		100	nA
		$V_{CC1} = 5V$		1		100	
		IND		5		200	
动态供电电流 (振荡器使能)	I_{CC2A}	$V_{CC2} = 2.0V$	CH = 0 (Notes 4, 12)			0.425	mA
		$V_{CC2} = 5V$				1.28	
计时电流 (振荡器使能)	I_{CC2T}	$V_{CC2} = 2.0V$	CH = 0 (Notes 3, 12)			25.3	μA
		$V_{CC2} = 5V$				81	
静态电流 (振荡器禁止)	I_{CC2S}	$V_{CC2} = 2.0V$	CH = 1 (Notes 9, 12)			25	μA
		$V_{CC2} = 5V$				80	
涓流充电电阻	R1			2		k Ω	
	R2			4			
	R3			8			
涓流充电二极管压降	V_{TD}			0.7		V	

电容

($T_A = +25^{\circ}C$)

参数	符号	最小	典型	最大	单位
输入电容	C_I		10		pF
I/O 电容	$C_{I/O}$		15		pF

交流电气特性

($T_A = 0^{\circ}C - +80^{\circ}C$.) (注 1)

参数	符号	状态	最小	典型	最大	单位
Data to CLK Setup	t_{DC}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	200		ns
				50		
CLK to Data Hold	t_{CDH}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	280		ns
				70		
CLK to Data Delay	t_{CDD}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Notes 6, 7, 8)		800	ns
					200	
CLK Low Time	t_{CL}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	1000		ns
				250		
CLK High Time	t_{CH}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	1000		ns
				250		
CLK Frequency	t_{CLK}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)		0.5	MHz
				DC	2.0	
CLK Rise and Fall	t_R, t_F	$V_{CC} = 2.0V$ $V_{CC} = 5V$			2000	ns
					500	
CE to CLK Setup	t_{CC}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	4		μs
				1		
CLK to CE Hold	t_{CCH}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	240		ns
				60		
CE Inactive Time	t_{CWH}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)	4		μs
				1		
CE to I/O High Impedance	t_{CDZ}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)		280	ns
					70	
SCLK to I/O High Impedance	t_{CCZ}	$V_{CC} = 2.0V$ $V_{CC} = 5V$	(Note 6)		280	ns
					70	

注 1: $-40^{\circ}C$ 的限制是设计所保证, 并未进行生产测试.

注 2: 所有电压以地为参考点.

注 3: I_{CC1T} 和 I_{CC2T} 由 I/O 开, CE 和 SCLK 为 0 指定.

注 4: I_{CC1A} 和 I_{CC2A} 由 I/O 开, CE 高指定, SCLK = 2MHz 当 $V_{CC} = 5V$; SCLK = 500kHz, $V_{CC} = 2.0V$.

注 5: CE, SCLK, I/O 都有 40k Ω 下拉电阻接到地.

注 6: $V_{IH} = 2.0V$ 或 $V_{IL} = 0.8V$ 时测定, 10ns 最大上升下降时间.

注 7: $V_{OH} = 2.4V$ 或 $V_{OL} = 0.4V$ 时测定.

注 8: 负载电容 = 50pF.

注 9: $ICC1S$ 和 $ICC2S$ 由 CE, I/O, SCLK 开指定.

注 10: $V_{CC} = V_{CC2}$, 当 $V_{CC2} > V_{CC1} + 0.2V$; $V_{CC} = V_{CC1}$, 当 $V_{CC1} > V_{CC2}$.

注 11: $V_{CC2} = 0V$.

注 12: $V_{CC1} = 0V$.

注 13: 典型值为 $+25^{\circ}C$ 时.

图6 时序图: 读数据传输

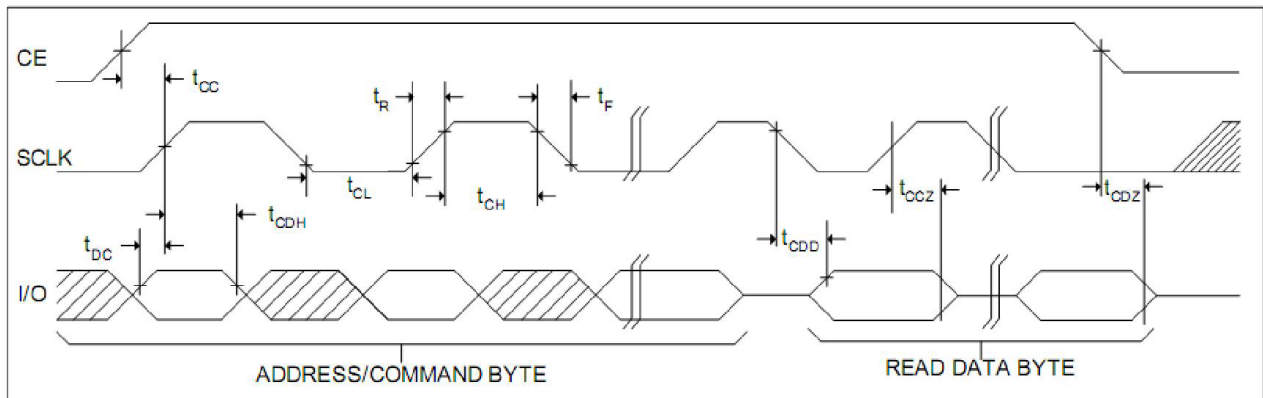


图7 时序图：写数据传输

