



芯海科技  
CHIPSEA

# CS1259B 用户手册

具有 5 通道带高性能 24bits ADC  
REV 1.2

芯海科技（深圳）股份有限公司

地 址：深圳市南山区蛇口南海大道1079号花园城数码大厦A座9楼

电 话：+(86 755)86169257      传 真：+(86 755)86169057

网 站：[www.chipsea.com](http://www.chipsea.com)      邮 编：518067

微信号：芯海科技



## 版本历史

历史版本	修改记录	日期
REV 1.0	初始版本;	2018-6-01
REV 1.1	1、删除寄存器 ADC3 中 IDASL、IDACP，寄存器 ADC5 中 REG_NC，15 页； 2、删除 PGA 正负端选择关于 TS 的选项，16 页；	2018-6-26
REV 1.2	1、修正时钟频率，更改 VREF 电压，page 9;	2018-10-16

## 目 录

版本历史 .....	2
目 录 .....	3
图目录 .....	5
表目录 .....	6
<b>1 简介 .....</b>	<b>7</b>
1.1 主要特性 .....	7
1.2 应用场合 .....	7
1.3 功能说明 .....	8
1.4 极限值 .....	8
1.5 电气特性 .....	9
1.6 可靠性指标 .....	10
1.7 产品型号及引脚 .....	10
1.8 典型应用电路 .....	11
<b>2 功能寄存器说明 .....</b>	<b>13</b>
2.1 功能寄存器列表 .....	13
2.2 功能寄存器说明 .....	13
2.2.1 SYS—系统配置寄存器(地址 00H).....	13
2.2.2 ADC0— ADC 配置寄存器(地址 01H) .....	14
2.2.3 ADC1— ADC 配置寄存器 1(地址 02H) .....	14
2.2.4 ADC2— ADC 配置寄存器 2(地址 03H) .....	15
2.2.5 ADC3— ADC 配置寄存器 3(地址 04H) .....	15
2.2.6 ADC4— ADC 配置寄存器 4(地址 05H) .....	15
2.2.7 ADC5— ADC 配置寄存器 5(地址 06H) .....	16
2.2.8 ADO— ADC 转换数据寄存器(地址 09H).....	16
2.2.9 ADS— ADC 转换数据读取标准寄存器(地址 0AH).....	17
<b>3 功能描述 .....</b>	<b>18</b>
3.1 输入选择 .....	18
3.2 输入电平移位器 .....	18
3.3 PGA 和 ADC .....	19
3.4 数字滤波器 .....	20
3.4.1 频率响应 .....	20
3.4.2 建立时间 .....	21
3.5 参考电压源 .....	21
3.6 内部时钟源 .....	21
3.7 测量模式及其切换 .....	22
3.8 多种工作模式 .....	22
3.9 复位和断电(POR&power down) .....	22
<b>4 转换有效位 .....</b>	<b>23</b>
<b>5 典型特性 .....</b>	<b>24</b>
5.1 LDO 典型特性 .....	24
5.2 内部时钟典型特性 .....	24
<b>6 三线串行通讯接口 .....</b>	<b>25</b>
6.1 读时序 .....	25

---

6.2	写时序 .....	26
7	封装 .....	27

## 图目录

图 1-1 CS1259B 原理框图.....	8
图 1-3 CS1259B SOP16 封装引脚图 .....	11
图 1-5 CS1259B 典型应用电路.....	12
图 3-1 模拟输入结构图 .....	18
图 3-2 电平移位模块.....	18
图 3-3 PGA 和 ADC 结构图 .....	19
图 3-4 COMB 滤波器的频率响应特性( $F_s=331\text{Hz}$ , $DR=10\text{Hz}$ , 3 阶 COMB) .....	20
图 3-5 COMB 建立过程 .....	21
图 3-6 CS1259B 低功耗工作示意图.....	22
图 5-1 LDO 全电压全温度范围的典型特性(LDOS[1:0]=00, 负载 1mA) .....	24
图 5-2 内部时钟全电压全温度范围的典型特性 .....	24
图 6-1 读操作时序 1(读 AD 值).....	25
图 6-2 读操作时序 2(除 AD 值之外的寄存器).....	26
图 6-3 写操作时序 .....	26
图 7-1 芯片 SOP16 封装尺寸信息 .....	27

## 表目录

表 1-1 CS1259B 极限值 .....	8
表 1-2 CS1259B 电气特性.....	9
表 1-3 CS1259B SOP16 封装引脚说明 .....	11
表 2-1 功能寄存器列表 .....	13
表 2-2 SYS 寄存器说明.....	13
表 2-3 ADC0 寄存器说明.....	14
表 2-4 ADC1 寄存器说明.....	14
表 2-5 ADC2 寄存器说明.....	15
表 2-6 ADC3 寄存器说明.....	15
表 2-7 ADC4 寄存器说明.....	15
表 2-8 ADC5 寄存器说明.....	16
表 2-9 ADO 寄存器说明.....	16
表 2-10 ADO 寄存器说明.....	17
表 3-1 PGA 和 ADGN 与 Gain 及输入信号的关系.....	19
表 4-1 ADC 信号链不同 GAIN 及 DR 下的有效位(ENOB) <sup>1)</sup> .....	23
表 6-1 串口通讯命令列表 .....	25
表 6-2 三线串行通讯接口时序表 .....	26

# 1 简介

## 1.1 主要特性

### ◆输入

- 支持单端输入；
- 支持多达 5 路输入、可组成多个差分输入对；
- 支持输入电平移位功能。

### ◆PGA

- 1/2/4/8/16/32/64/128 倍可选增益；
- 高达 100Mohm 的等效输入阻抗。

### ◆ADC

- 24 bit 分辨率；
- 输出速率 10~1280Hz 8 档可选。

### ◆有效位

- 2.35V 参考、40Hz 速率、128 倍增益下 19.5bits 有效位。

### ◆LDO 及内部参考电压（TBD）

- 自带 LDO，输出 2.35/2.45/2.8/3.0V 可选，30ppm/°C，精度±1%；
- 自带低漂移基准，内部参考电压 1.225V 可选，30ppm/°C，精度±1%；

### ◆支持性能、普通、低功耗、休眠模式

### ◆支持电压测量、手动测量模式，单命令切换

### ◆低漂移片上时钟

### ◆三线串行通讯

## 1.2 应用场合

### ◆热电堆红外检测

### ◆桥式传感器

### 1.3 功能说明

CS1259B 原理框图如图 1-1 所示。

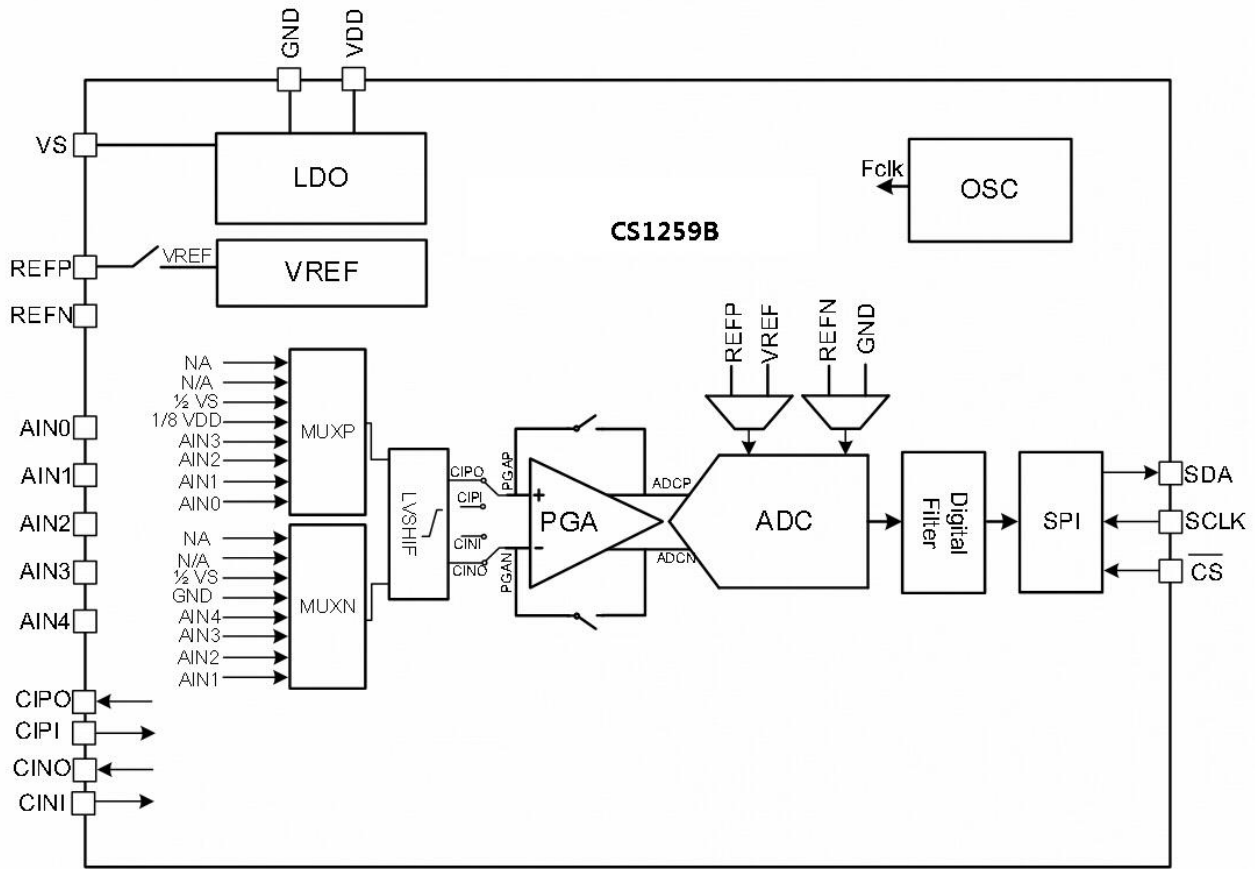


图 1-1 CS1259B 原理框图

CS1259B 是一个包括一个 ADC 信号链，其中 ADC 信号链包括有输入 MUXP/MUXN，可编程低噪声增益放大器(PGA)，以及一个 Sigma-delta ADC 及数字滤波器 Digital Filter；其中 MUXP/MUXN 分别具有 8 输入通道，包括 5 个外部模拟输入通道和 3 个内部输入通道；MUXP/MUXN 之后有电平移位模块 LVSHIFT，可以对地轨附近的输入信号移位后送入 PGA；PGA 和 ADC 具有多种增益选择，数字滤波器可配置为多种输出速率。

CS1259B 内置有低漂移 LDO 和电压基准 VREF，高精度振荡器 OSC 等。

CS1259B 可以通过 3 线串行接口进行多种功能模式的配置，例如用作桥式传感器应用、温度检测、单端输入应用等等。

### 1.4 极限值

表 1-1 示出了 CS1259B 的极限值。

表 1-1 CS1259B 极限值

名称	符号	最小	最大	单位	说明
模拟电源电压	VDD	-0.3	6	V	VDD to GND
电源瞬间电流			100	mA	Input Current momentary
电源恒定电流			10	mA	Input Current continuous



数字管脚输入电压		-0.3	VDD+0.3	V	Digital Output Voltage to GND
数字管脚输出电压		-0.3	VDD+0.3	V	
结温			150	°C	Max. Junction Temperature
工作温度		-40	85	°C	Operating Temperature
储存温度		-60	150	°C	Storage Temperature
芯片管脚焊接温度			300	°C	Lead Temperature (Soldering, 10s)

## 1.5 电气特性

整个芯片供电电压为 2.4V-3.6V，工作温度为-40°C-85°C，设计指标如下所示：

表 1-2 CS1259B 电气特性

(Test Condition: VDD=3.0V, 25°C, VS=2.35V)

参数		条件	最小值	典型值	最大值	单位	
模拟输入	满幅输入电压			$\pm V_{REF}/Gain$		V	
	共模输入电压	PGA Buffer 关闭	GND-0.1		VS+0.1	V	
		PGA Buffer 打开	参见“PGA&AD”一节				
	差分输入阻抗	PGA Buffer 关闭	参见“PGA&ADC”一节				
PGA Buffer 打开			100		MΩ		
PGA & ADC	分辨率	无失码		24		Bits	
	Data Rate		10	40	1280	SPS	
	建立时间			4		转换周期	
	噪声性能	Gain=32×2 160Hz <sup>1)</sup>			95		nV
		Gain=1×1, 160Hz <sup>2)</sup>			2.3		uV
	积分线性度	Gain=128		0.0015		% of FS	
	失调误差	Gain=128			±8		uV
		Gain=1			±100		uV
	失调误差漂移	Gain=128			±0.5		nv/°C
		Gain=1			0.4		uv/°C
	增益误差	Gain=128			±5		%
		Gain=1			±1		%
	增益误差漂移	Gain=128			8		ppm/°C
Gain=1				TBD		ppm/°C	
输入REFP		VS/2			VDD+0.1		
输入REFN		GND-0.1	GND		VS/2		
LDO & VREF	VS电压	LDOS[1:0]=00	2.32	2.35	2.38	V	
	VS温漂			30		ppm/°C	
	VREF电压		1.212	1.225	1.238	V	
	VREF温漂			30		ppm/°C	

时钟	频率			5.898		MHz	
	trim精度			1		%	
	频率全温度变化			2		%	
	频率全电压变化			1		%	
数字	VIH		0.7×VDD		VDD+0.1	V	
	VIL		GND		0.2×VDD	V	
	VOH	Ioh=1mA	VDD-0.4		VDD	V	
	VOL	IoL=1mA	GND		0.2+GND	V	
	IIH	VI=VDD			1	uA	
	IIL	VI=GND	-1			uA	
	Fsclk				Fosc/4	MHz	
电源及模块功耗	电源电压	VDD	2.4	3	3.6	V	
	ADC工作电流	普通模式		0.6		mA	
		性能模式			1.1		mA
		Power down			0.1	1	uA
	LDO工作电流			160 <sup>3)</sup>		uA	
	VREF工作电流	启动温度补偿			280 <sup>4)</sup>		
		不启动温度补偿			210 <sup>5)</sup>		uA
	OSC工作电流	Freq=5.898MHz			78		uA
数字工作电流	正常工作			230		uA	
	Power down			0.2	1.3	uA	
整体功耗	ADC+LDO+数字	ADC普通模式		1		mA	
	ADC+LDO+数字	ADC性能模式		1.5		mA	
	ADC+LDO+数字	ADC占空比模式		0.4		mA	

1),2): 以上噪声特性是指 PMODE[1:0]=01、BUFBP=0，且 CHOPM[1:0]、LVSHIFT、FIL\_EN 为默认配置时的噪声特性；使用以上选项的一项或多项时的噪声特性请参考第四章“噪声和有效位”的相关描述；

3),4),5):LDO 和 VREF 工作电流均包括了内部 Bandgap 模块的工作电流；因此两个模块同时打开时，电流不是简单相加；LDO+VREF（不启动温度补偿）电流为 260uA。

## 1.6 可靠性指标

- (1) ESD ) = +/-4KV（成品接触放电 +/-4KV；空气放电 +/-8KV），芯片不损坏；  
 (4) 80M~2G 射频干扰，18 位 ADC 跳动小于 30 个码。

## 1.7 产品型号及引脚

而 CS1259B 具有 5 个模拟输入通道，采用 SOP16 封装。

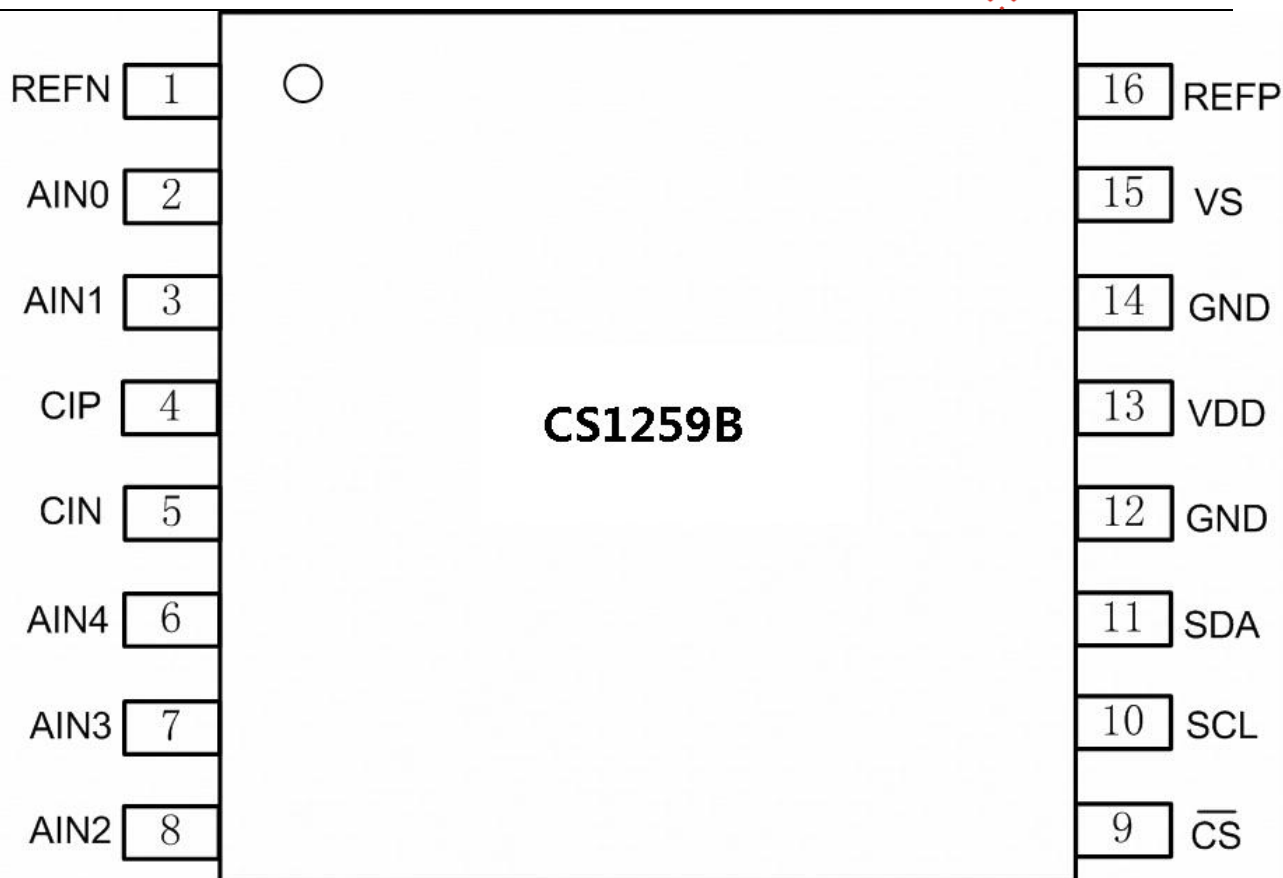


图 1-2 CS1259B SOP16 封装引脚图

表 1-3 CS1259B SOP16 封装引脚说明

引脚序号	引脚名称	输入/输出	说明
1	REFN	I	负端参考电压输入
2	AIN0	I	模拟信号输入通道 0
3	AIN1	I	模拟信号输入通道 1
4	CIP	I/O	模拟信号滤波端口正端
5	CIN	I/O	模拟信号滤波端口负端
6	AIN4	I	模拟信号输入通道 4
7	AIN3	I	模拟信号输入通道 3
8	AIN2	I	模拟信号输入通道 2
9	$\overline{CS}$	I	片选信号端口
10	SCLK	I	串行通讯时钟端口
11	SDA	I/O	串行通讯数据端口
12	GND	P	地
13	VDD	P	电源
14	GND	P	地
15	VS	O	LDO 输出端口
16	REFP	I	正端参考电压输入端口

## 1.8 典型应用电路

ADC 系列 CS1259B 典型应用包括桥式传感器的测量，如图。

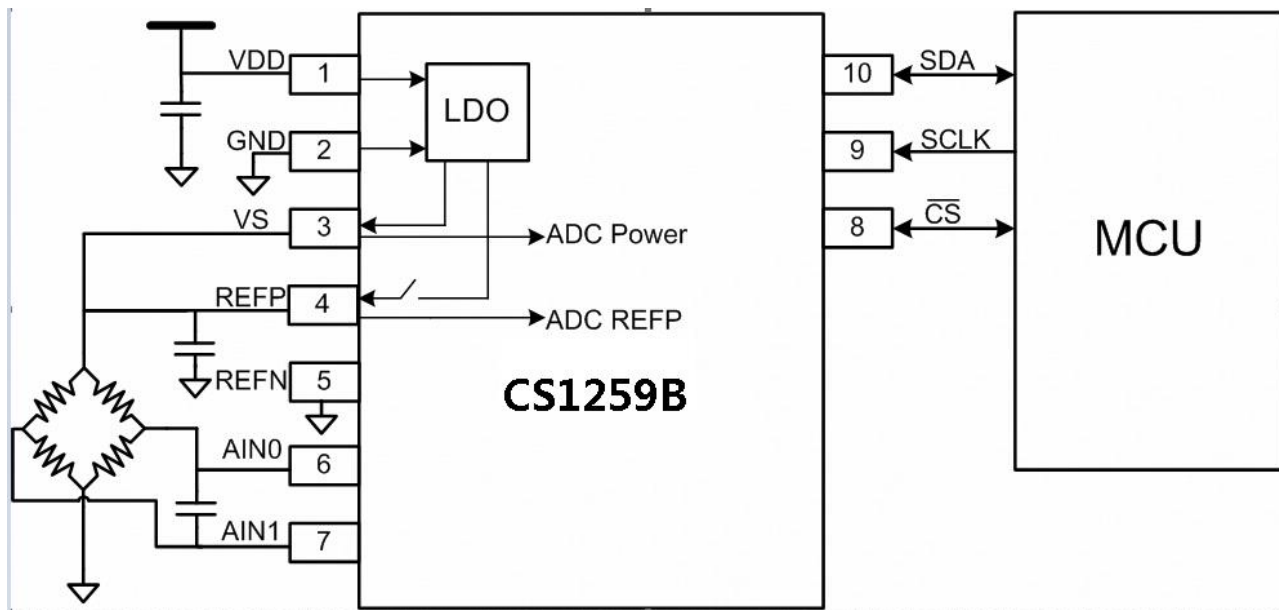


图 1-3 CS1259B 典型应用电路

## 2 功能寄存器说明

### 2.1 功能寄存器列表

表 2-1 功能寄存器列表

寄存器		比特位								默认值	
地址	名称	BIT7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0		
00H	SYS	TMODE[1:0]		PMODE[1:0]		ENREF	ENADC	ENLDO		00H	
01H	ADC0	IMOD	FS_SEL	INNS[2:0]			INPS[2:0]			00H	
02H	ADC1	DR[2:0]			BUFBP	PGA[1:0]		ADGN[1:0]		00H	
03H	ADC2										00H
04H	ADC3	GTCSL	GTC[2:0]			LVSCP	LVSHIFT			00H	
05H	ADC4	CHOPM[1:0]		ACCU_NUM[1:0]		ADREFS[1:0]		LDOS[1:0]		40H	
06H	ADC5				EXFIL_EN		FIL_EN	FIL_CON1	FIL_CON0	00H	
09H	ADOH	ADO[23:16]								00H	
	ADOM	ADO[15:8]								00H	
	ADOL	ADO[7:0]								00H	
0AH	ADS	ADS	RST							00H	

### 2.2 功能寄存器说明

#### 2.2.1 SYS 一系统配置寄存器(地址 00H)

表 2-2 SYS 寄存器说明

Bits	描述	权限	默认值	
[7:6]	TMODE[7:6]	测量模式控制位	r/w	00'b
	11:NA			
	10:电源电压测量模式 (置 ENREF=1,INPS[2:0]=100, INNS[2:0]=100, LVSHIFT=0, PGA[1:0]=00, BUFBP=0, ADGN[1:0]=00,ADREFS[1:0]=10, FS_SEL=0,IMOD=0,相应寄存器配置无效;其他由寄存器决定)			
	01:NA			
	00:手动测量模式 (自由配置)			
[5:4]	PMODE[1:0]	工作模式控制位(仅在 TMODE=00 时)	r/w	00'b
	11:自由模式 (ADC 自由配置)			
	10:占空比模式, DR=640Hz (FS_SEL=0, BUFBP=0, IMOD=0, ENADC 和 ENLDO 受控制)			
	01:性能模式 (FS_SEL=1, BUFBP=0, IMOD=1, 相应寄存器配置无效;其他配置由相应寄存器决定)			
	00:普通模式(当前不可用) (FS_SEL=0,BUFBP=1,IMOD=0, 相应寄存器配置无效;其他配置由相应寄存器决定)			
[3]	ENREF	VREF 模块使能信号	r/w	0'b
	1:VREF 使能			
	0:VREF 关闭			

[2]	ENADC	<b>ADC 模块使能位</b> 1:ADC 使能 0:ADC 关闭	r/w	0'b
[1]	ENLDO	<b>LDO 模块使能位</b> 1:LDO 使能 0:LDO 关闭	r/w	0'b
[0]	NA		r/w	0'b

### 2.2.2 ADC0— ADC 配置寄存器(地址 01H)

表 2-3 ADC0 寄存器说明

Bits	描述		权限	默认值
[7]	IMOD	<b>调制器 MOD 电流控制位</b> 1:性能模式电流=普通模式电流×2 0:普通模式电流	r/w	0'b
[6]	FS_SEL	<b>采样频率选择位</b> 1:662.22KHz 0:331.11KHz	r/w	0'b
[5:3]	INNS[2:0]	<b>PGA 负端输入信号选择位</b> 111: NA 110:NA 101:1/2 VS (共模电压) 100:GND (仅在 TMODE=10 有效) 011~000:AIN4~AIN1	r/w	000'b
[2:0]	INPS[2:0]	<b>PGA 正端输入信号选择位</b> 111: NA 110: NA 101: 1/2 VS (共模电压) 100: 1/8 VDD (仅在 TMODE=10 有效) 011~000:AIN3~AIN0	r/w	000'b

### 2.2.3 ADC1— ADC 配置寄存器 1(地址 02H)

表 2-4 ADC1 寄存器说明

Bits	描述		权限	默认值
[7:5]	DR[2:0]	<b>ADC 输出速率选择位</b> 111:1280Hz 110:640Hz 101:320Hz 100:160Hz 011:80Hz 010:40Hz 001:20Hz 000:10Hz	r/w	000'b
[4]	BUFBP	<b>Buffer 控制位</b> 1:Buffer 关闭 0:Buffer 开启	r/w	0'b
[3:2]	PGA[1:0]	<b>PGA 增益选择位</b> 11:Gain =32 10:Gain=16 01:Gain=1 00:Gain=1	r/w	00'b

[1:0]	ADGN[1:0]	<b>调制器增益选择位</b> 11:Gain=8(DR 下降为 1/4) 10:Gain=4(DR 下降为 1/2) 01:Gain=2 00:Gain=1	r/w	00'b
-------	-----------	---	-----	------

#### 2.2.4 ADC2— ADC 配置寄存器 2(地址 03H)

表 2-5 ADC2 寄存器说明

Bits	描述	权限	默认值
[7:0]	N/A	r/w	00H

#### 2.2.5 ADC3— ADC 配置寄存器 3(地址 04H)

表 2-6 ADC3 寄存器说明

Bits	描述	权限	默认值	
[7]	GTCSL	增益温漂补偿粗细选择位: 1:粗调=精调×6, 用于补偿传感器温漂 0:精调, 用于调整芯片自身温漂	r/w	0'b
[6:4]	GTC[2:0]	增益温漂补偿选择位(CTCSL=0): 111:15 ppm/°C 110:10 ppm/°C 101:5 ppm/°C 100:0 000:0 001:-5 ppm/°C 010:-10 ppm/°C 011:-15ppm/°C	r/w	000'b
[3]	LVSCP	电平移位模块斩波使能位(LVSHIFT=1 时有 效): 1:斩波使能, 斩波频率=Fs/128 0:斩波不使能	r/w	0'b
[2]	LVSHIFT	电平移位模块使能位: 1:电平移位使能 0:电平移位不使能	r/w	0'b
[1:0]	N/A		r/w	00'b

#### 2.2.6 ADC4— ADC 配置寄存器 4(地址 05H)

表 2-7 ADC4 寄存器说明

Bits	描述	权限	默认值	
[7:6]	CHOPM[1:0]	<b>仪放(IA)及调制器(MOD)斩波频率控制位</b> 11: 仪放斩波频率为 fs_clk/64,调制器斩波 频率为 fs_clk/128 10: 仪放斩波频率为 fs_clk/32,调制器斩波 频率为 fs_clk/128 01:仪放斩波频率为 fs_clk/32,调制器斩波频 率为 fs_clk/256 00:不开斩波	r/w	01'b

		fs_clk 为 MOD 采样频率 注意：默认斩波打开，请按推荐值使用												
[5:4]	ACCU_NUM [1:0]	占空比模式下 <b>COMB</b> 数据累加个数选择 <table border="1" style="margin-left: 20px;"> <tr> <td>ACCU_NUM</td> <td>累加个数</td> </tr> <tr> <td>00</td> <td>8</td> </tr> <tr> <td>01</td> <td>16</td> </tr> <tr> <td>10</td> <td>32</td> </tr> <tr> <td>11</td> <td>64</td> </tr> </table> <p>注意：(Comb 数据累加个数+4)*ADC 输出速率不能大于 Comb 速率 640Hz。</p>	ACCU_NUM	累加个数	00	8	01	16	10	32	11	64	r/w	00'b
ACCU_NUM	累加个数													
00	8													
01	16													
10	32													
11	64													
[3:2]	ADREFS[1:0]	<b>ADC 参考电压选择位</b> 11:正参考=内部 VREF,负参考=GND 10: 正参考=内部 VREF,负参考=GND 01:正参考=VREF 外接 REFP 再接回 ADC 负参考=外部 REFN 00:正参考=外部 REFP,负参考=外部 REFN	r/w	00'b										
[1:0]	LDOS [1:0]	<b>内部 LDO 输出 VS 电压选择位</b> 11:3.0V 10:2.8V 01:2.45V 00:2.35V	r/w	00'b										

## 2.2.7 ADC5— ADC 配置寄存器 5(地址 06H)

表 2-8 ADC5 寄存器说明

Bits	描述	权限	默认值	
[7:5]	NA	NA		
[4]	EXFIL_EN	<b>PGA 输入信号接外部滤波器使能位</b> 1:使用外部 RC 滤波器 0:不使用外部 RC 滤波器	r/w	0'b
[3]	REG_NC	保留位		
[2]	FIL_EN	<b>Comb 之后的低通滤波器使能控制信号</b> 1:滤波器打开 0:滤波器关闭 注：在占空比模式下不可以使用；速率为 10Hz、20Hz、40Hz、80Hz 不可以使用。	r/w	0'b
[1]	FIL_CON1	<b>滤波器级联控制</b> 0:滤波器使用级联结构 1:滤波器不使用级联结构	r/w	0'b
[0]	FIL_CON2	<b>滤波器系数控制</b> 0:使用系数 1 1:使用系数 2	r/w	0'b

## 2.2.8 ADO— ADC 转换数据寄存器(地址 09H)

表 2-9 ADO 寄存器说明

Bits	描述	权限	默认值	
ADOH[7:0]	ADO[23:16]	ADC 转换值的[23:16]位	r	00H
ADOM[7:0]	ADO[15:8]	ADC 转换值的[15:8]位	r	00H
ADOL[7:0]	ADO[7:0]	ADC 转换值的[7:0]位	r	00H



### 2.2.9 ADS—ADC 转换数据读取标准寄存器(地址 0AH)

表 2-10 ADO 寄存器说明

Bits	描述		权限	默认值
[7]	ADS	<b>ADO 中数据读取标志</b> 1:数据已经被读取 0:数据尚未被读取	r	0'b
[6]	RST	<b>芯片上电复位标志位</b> 1:芯片上电复位完成 0:用户查询该标志后自动清零	r	0'b
[5:0]	NA			000000'b

### 3 功能描述

#### 3.1 输入选择

CS1259B 中模拟输入通道及内部若干信号分别通过 MUXP 和 MUXN 后，再经过输入电平移位模块 LVSHIFT 接到 PGA 正端和负端，如图 3-1 所示。

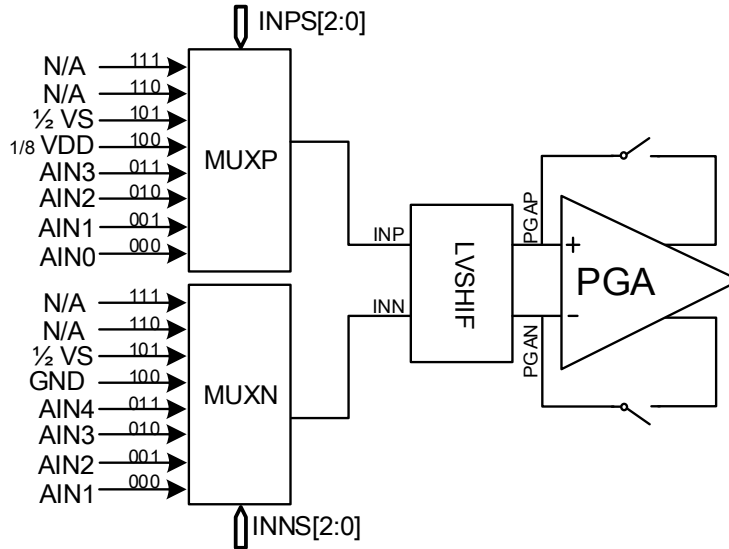


图 3-1 模拟输入结构图

输入信号中 AIN<sub>x</sub>(x=0~4)来自相应的模拟输入引脚，可以任意组合成差分对；REFN 用来和 AIN<sub>x</sub> 配对组成单端测量，此时 REFN 的引脚应该接 GND（在某些封装下没有独立的 REFN，但器件内部已经将 REFN 接至 GND）；1/8 VDD 和 REFN 配对进行电源电压测量；1/2 VS 用于内短进行失调校正。

#### 3.2 输入电平移位器

在某些应用场合，输入信号的共模电压接近地轨、或者输入为一端接地的单端信号，此时 PGA 将不能将信号进行正常放大。输入电平移位模块可以将上述接近地轨的信号的共模电压抬高约 0.9V 使其可以被 PGA 正常放大。

如图 3-2 所示，当 LVSHIFT=1 时，INP 和 INN 经过电平移位器之后输出给 PGAP 和 PGAN；反之则 INP 和 INN 直通 PGAP 和 PGAN；LVSCP 控制是斩波控制位，开启后可以减小由于电平移位器自身引入的失调和低频噪声。

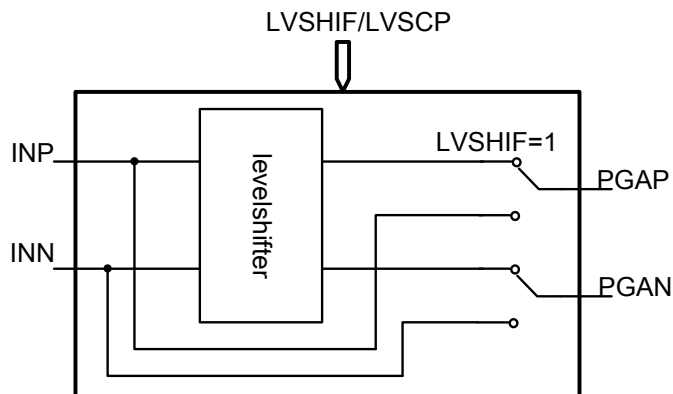


图 3-2 电平移位模块

### 3.3 PGA 和 ADC

CS1259B 通过一个低噪声，低漂移的 PGA 放大器将输入信号放大后送入一个 2 阶的 Sigma-Delta ADC 进行模数转换。如图 3-3 所示为 PGA 和 ADC 的结构图，其中 PGA 的增益由 PGA[1:0]选择，具有 1\8\16\32 四档可选；ADC 的增益由 ADGN[1:0]所选择、具有 1\2\4\8 四档可选；另外 ADC 参考电压来自输入的 REFP-REFN。

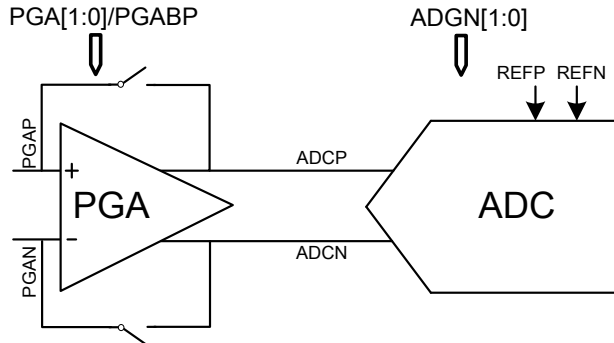


图 3-3 PGA 和 ADC 结构图

输入信号的增益 Gain 由 PGA 和 ADC 各自增益的乘积决定。

$$Gain = PGA \times ADGN \tag{式 3-1}$$

为了提高信号的建立表现，PGA 输出到 ADC 调制器输入还有 Buffer 作为缓冲；但同时提供 Buffer 旁路功能，将 BUFBP 置‘1’，则 Buffer 被旁路，PGA 输出信号直接接入 ADC 的调制器。CS1259B 的差分满幅输入范围 FS 由 Gain 决定，

$$FS = (REFP - REFN) / Gain \tag{式 3-2}$$

若差分输入通道 AINp-AINn=VIN，则为保证不溢出，VIN 的范围必须小于 FS。

在 PGA 开启的情况(包括 PGA≠1 和 PGA=1&BUFBP=0 的情况)下，输入通道的输入信号范围需要保证 PGA 能够正常工作，一般

$$VDD - 1.0V > AINx > GND + 0.2V \tag{式 3-3}$$

输入信号的共模电压为 VCM，VCM=(AINp+AINn)/2，则 VCM 的范围也受 PGA 决定，

$$VDD - 1.0V - VIN \times PGA / 2 > VCM > GND + 0.2V + VIN \times PGA / 2 \tag{式 3-4}$$

当 PGA=1 且 BUFBP=1 时，PGA 被旁路，此时输入信号直接进入 ADC，则输入信号的范围由 ADC 决定，一般

$$VDD + 0.1V > AINx > GND - 0.1V \tag{式 3-5}$$

VCM 的范围也受 ADC 决定，

$$VDD + 0.1V - VIN \times ADGN / 2 > VCM > GND - 0.1V + VIN \times ADGN / 2 \tag{式 3-6}$$

以上各种情况还会影响输入通道的等效输入阻抗，详细请参考表 3-1。

表 3-1 PGA 和 ADGN 与 Gain 及输入信号的关系

Gain = PGA × ADGN	BUFBP	输入阻抗	输入信号范围	共模输入范围
1	0	>100Mohm	(式 3-3)	(式 3-4)
2	0			
4	0			

8	1	8	0			
16	16	1	0			
32	32	1	0			
64	32	2	0			
128	32	4	0			
1	1	1	1	~800Kohm	(式 3-5)	(式 3-6)
2	1	2	1	~400Kohm		
4	1	4	1	~200Kohm		
8	1	8	1	~100Kohm		
16	16	1	1	>100Mohm	(式 3-3)	(式 3-4)
32	32	1	1			
64	32	2	1			
128	32	4	1			

当输入信号接近地轨，例如单端信号，同时又希望开启 PGA 以获得大的 Gain 和输入阻抗时，可以开启 LVSHIFT 功能，可以将输入信号上移约 0.9V 后送入 PGA 中，这也等效于开启 LVSHIFT 功能后，开启 PGA 情况下的输入信号下限下移约 0.9V。

CS1259B 的 ADC 采用 2 阶 sigma-delta 调制器实现，内部采样频率为 331.11KHz (普通模式)或 662.22KHz(性能模式)。

CS1259B 的 ADC 带有内部增益温漂补偿功能，通过 GTCSL 以及 GTC[2:0]可以配置。当 GTCSL=1 时为粗调档，此时对应 GTC[2:0]增益温漂补偿的一个步长为 30ppm/°C，可用于补偿外部传感器的温漂；而当 GTCSL=0 时，相应步长为 5ppm/°C，可用于调整芯片内部的增益温漂。

### 3.4 数字滤波器

从 Sigma-delta ADC 出来的数据是 1 位的高速比特流数据，并且包含了大量的高频噪声，因此需要数字滤波器对该比特流数据进行滤波和比特率转换，将高频噪声滤除、同时完成降采样，将 1 位高速比特流数据变成 24-bit 的二进制码数据。这个工作通过多阶的 COMB 滤波器完成。COMB 滤波器之后可以选择是否使用滤波器进一步进行滤波。

#### 3.4.1 频率响应

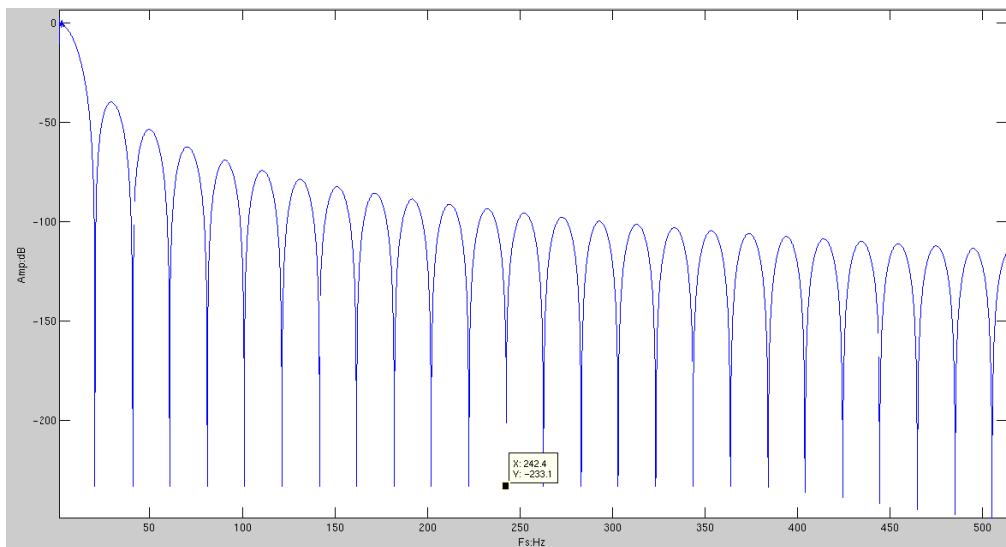


图 3-4 COMB 滤波器的频率响应特性(Fs=331Hz, DR=10Hz, 3 阶 COMB)

### 3.4.2 建立时间

正常模式下数字 COMB 在低速是 3 阶(10Hz、20Hz、40Hz、80Hz)，高速时是 4 阶或 5 阶(160Hz、320Hz、640Hz、1280Hz)；占空比模式下，数字 COMB 是 4 阶或 5 阶。数据建立时间跟 COMB 的阶数有关，3 阶 COMB 的数据在第三个能够建立好；4 阶 COMB 的数据在第四个能够建立好；5 阶 COMB 的数据在第五个能够建立好。

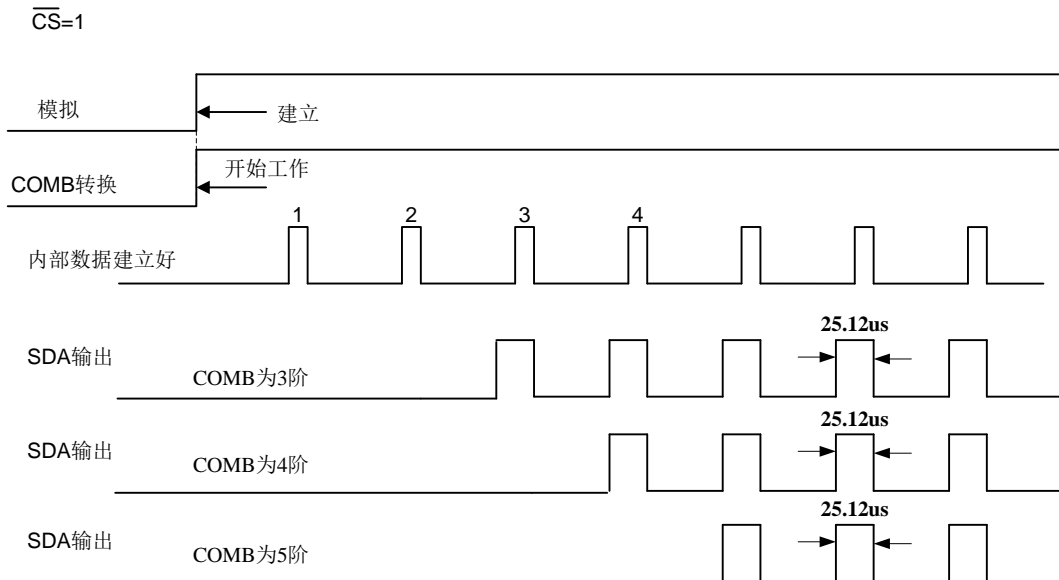


图 3-5 COMB 建立过程

如果 FIL\_EN 设置为 1，数据建立时间更长，所需时间如下表所示（数据误差收敛到在万分之一以内的时间）。

FILCON1	FILCON0	建立时间
0	0	COMB 数据建立时间+300ms
0	1	COMB 数据建立时间+590ms
1	0	COMB 数据建立时间+230ms
1	1	COMB 数据建立时间+460ms

### 3.5 参考电压源

CS1259B 内部集成一个低漂移的 LDO，可以输出电压给 VS 和/或 REFP，具有 4 档可选，其中 2.4V/2.6V/2.8V/3.0V 主要提供给 VS 使用，用于给外部桥式传感器供电、以及内部 ADC 部分供电，负载电流最大 10mA。还包括一个内部参考电压源 VREF，输出为 1.225V，主要用于做测量的参考电压提供给 REFP（外接电容提高精度）或者作为内部参考电压 VREF。参考电压源的输出电压初始精度为±1%，典型的温漂系数为 30ppm/°C(-40~85°C)。

### 3.6 内部时钟源

CS1259B 内部提供一个低漂移的 RC 时钟，时钟频率为 5.898MHz，在-40~85°C 变化范围内漂移小于 2%，在 2.4~3.6V 的 VDD 电压范围内，变化小于 1%。

### 3.7 测量模式及其切换

CS1259B 除了 5 个外部模拟信号输入通道，内部也具有电源电压信号。通过配置 TMODE[1:0]寄存器在电源电压测量以及手动模式之间切换。每种模式下，通道选择、增益配置及输出速率三个参数都是内部固定配置好，不需要用户干预，手动模式下用户可以随意配置相关参数；手动模式下切换至其余任意模式再切换回手动模式时，用户的设置保持不变。

### 3.8 多种工作模式

CS1259B 提供了多种工作模式可以选择，包括性能模式、正常模式、低功耗模式。

性能模式下，PGA 中 Buffer 打开，ADC 调制器的采样频率为 662.22KHz，此时 ADC 信号链精度最高，增益温漂、线性表现最好，同时 ADC 信号链功耗达到 1.5mA，可应用于需要 10Hz SPS，10000 点以上分度的测量场合。正常模式对性能和功耗进行了平衡，Buffer 旁路，采样频率降低为 331.11KHz，可应用于 10000 分度以下测量场合（例如人体称重），ADC 信号链功耗为 1.2mA。低功耗模式是采用占空比的方式来达到节省功耗的目的。在一个 10Hz 数据更新频率的周期内，数字滤波器以 640Hz 的输出速率工作，开启 ADC 后丢弃前 5 个数据，然后累加相应个数进行平均。

占空比模式下 VREF 输出和数字电路间歇性工作，以降低芯片功耗。

在占空比模式下，COMB 是 4 阶的，工作在高速，SPI 数据输出速率只有 10Hz，COMB 数据输出速率为 640Hz，64 个 COMB 周期 SPI 才输出一个数据，我们可以使 COMB 只输出前 21 个数据 (COMB 前 5 个数据丢失，累加 16 个数据平均输出 (第 6 个到第 21 个))，后面 43 个数据周期关闭 COMB 和 VREF 输出，示意图如下。

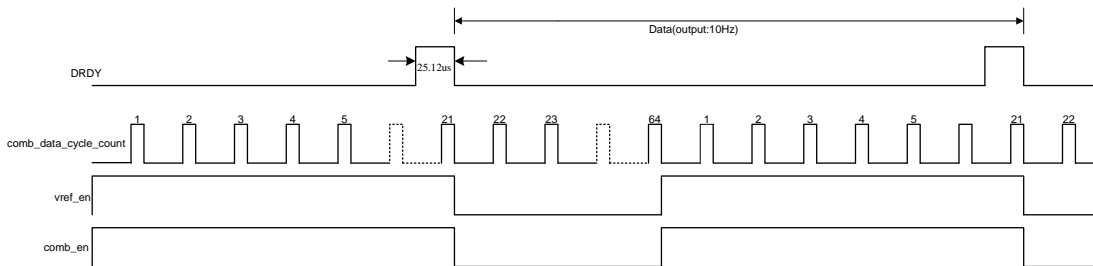


图 3-6 CS1259B 低功耗工作示意图

注：COMB 数据输出速率和累加数据个数可以配置。

### 3.9 复位和断电(POR&power down)

当芯片上电时，内置上电复位电路会产生复位信号，使芯片自动复位。

当 SCLK 从低电平变高电平并保持在高电平超过 172 $\mu$ s，CS1259B 即进入 PowerDown 模式。当 SCLK 重新回到低电平时，芯片会重新进入正常工作状态。

当系统由 Power down 重新进入正常工作模式时，此时所有功能配置为 PowerDown 之前的状态，不需要进行功能配置。

## 4 转换有效位

表 4-1 ADC 信号链不同 GAIN 及 DR 下的有效位(ENOB)<sup>1)</sup>

VDD=3V, VS=2.35V, VIN=±VS/Gain, Tc=25°C, TT

Gain = PGA×ADGN			BUFBP	DR			
				10Hz	40Hz	160Hz	1280Hz
1	1	1	0	22.3	21.2	20.9	18.8
2	1	2	0	21.6	20.6	19.7	18.2
4	1	4	0	21.2	20.3	19.3	17.7
8	1	8	0	20.3	19.7	18.8	17.2
16	16	1	0	22	21.2	20.3	18.7
32	32	1	0	21.4	20.8	19.7	18.3
64	32	2	0	20.8	20	19	17.5
128	32	4	0	20	19.5	18.6	16.9
1	1	1	1	TBD	TBD	TBD	TBD
2	1	2	1	TBD	TBD	TBD	TBD
4	1	4	1	TBD	TBD	TBD	TBD
8	1	8	1	TBD	TBD	TBD	TBD
8	8	1	1	TBD	TBD	TBD	TBD
16	16	1	1	TBD	TBD	TBD	TBD
32	32	1	1	TBD	TBD	TBD	TBD
64	32	2	1	TBD	TBD	TBD	TBD
128	32	4	1	TBD	TBD	TBD	TBD

1): 以上噪声特性是指没有使用 PMODE[1:0]=01, LVSHIFT 关闭, FIL\_EN=0 时的噪声特性; 信号源为桥式电阻, 输入共模电压 VS/2, 内阻为 2Kohm, 共模电容 100pF, 差模滤波电容为 0.1uF;

## 5 典型特性

### 5.1 LDO 典型特性

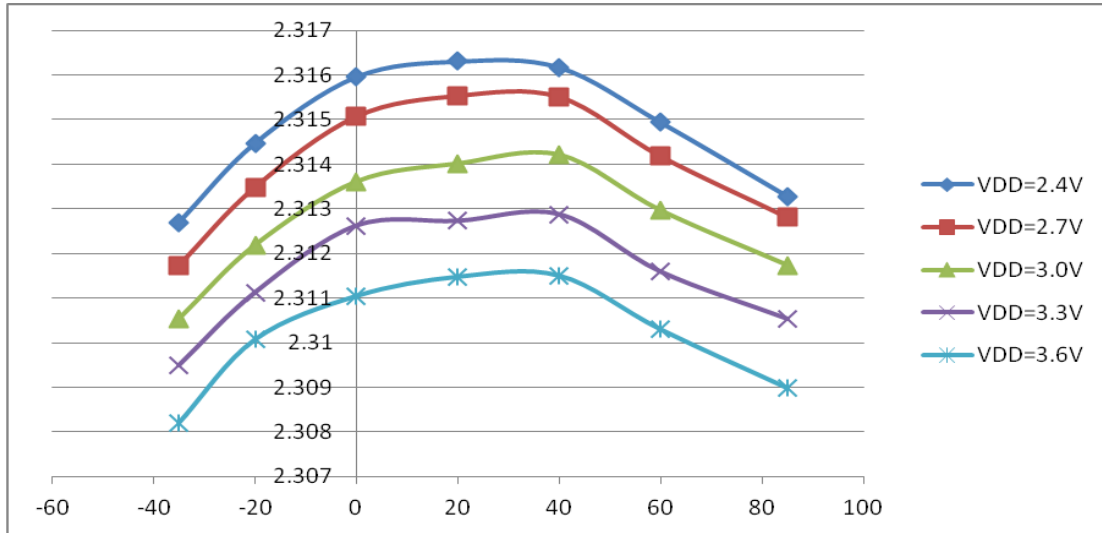


图 5-1 LDO 全电压全温度范围的典型特性(LDOS[1:0]=00, 负载 1mA)

### 5.2 内部时钟典型特性

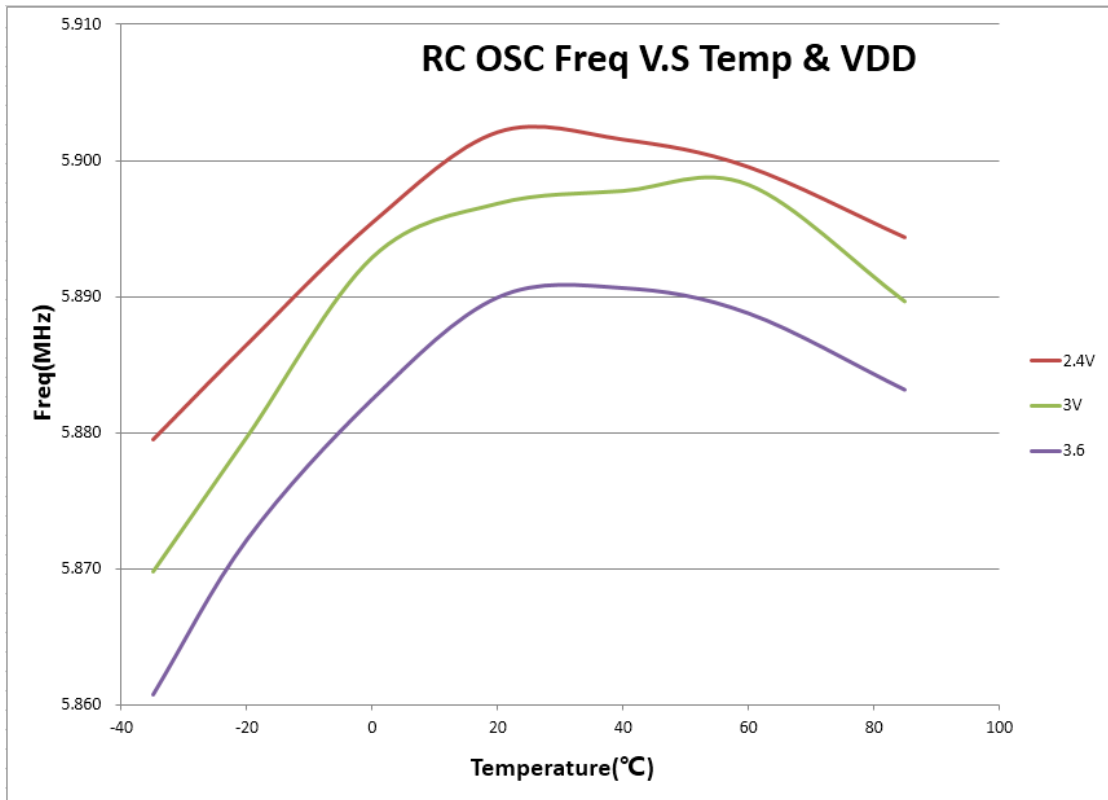


图 5-2 内部时钟全电压全温度范围的典型特性



## 6 三线串行通讯接口

CS1259B 中，采用 3 线串行通信，其中 $\overline{CS}$ 为片选/复位信号，SCLK 为通讯时钟、SDA 是双向数据线及数据转换完成标志。

$\overline{CS}$ : 串行接口片选信号，低电平有效，输入信号，内部悬空，建议外接上拉电阻； $\overline{CS}$ 由高电平变为低电平时，表示当前芯片被选中，处于通讯状态； $\overline{CS}$ 由低变电平变为高电平，表示通讯结束，通讯口复位处于空闲状态。

SCLK: 串行时钟输入脚，决定数据移出或移入 SPI 口的传输速率。所有的数据传输操作均与 SCLK 同步，在上升沿将数据从 SDA 引脚输出；在下降沿读取 SDA 上的数据。

SDA: 串行数据输入/输出脚。 $\overline{CS}=1$ ，SDA 输出 DRDY，表示 ADC 转换数据已准备好； $\overline{CS}=0$ ，SDA 串行通讯数据端口。

串行通讯的命令寄存器是一个 8bit 宽的寄存器。对于读写操作，命令寄存器的 bit7 用来确定本次数据传输操作的类型是读操作还是写操作，命令寄存器的 bit6-0 是读写的寄存器的地址。对于特殊命令操作，命令寄存器的 bit7-0 固定为 0xEA。

注：当 SCLK 保持低电平 687us 左右进入通讯复位模式（只复位串行通讯接口，防止串行通讯接口进入异常无法通讯，不复位芯片）。

表 6-1 串口通讯命令列表

命令名称	命令寄存器	数据	描述
读命令	{0,REG_ADR[6:0]}	Read_Data	从地址为 REG_ADR[6:0]的寄存器中读数据。 注：读无效地址，返回值为 00h
写命令	{1,REG_ADR[6:0]}	Write_Data	向地址为 REG_ADR[6:0]的寄存器中写数据。
复位指令	0xEA	0x96	复位指令，接收到指令之后，芯片复位。

### 6.1 读时序

工作过程：

外部设备在 $\overline{CS}$ 有效后，先通过 SDA 写入读命令字节，CS1259B 接收到读命令后，在 SCLK 的上升沿将数据按位从 SDA 引脚输出。注意：

- 1).以字节为单位传输，高比特位在前，低比特位在后；
- 2).多字节寄存器，先输出高字节内容，再传输低字节内容；
- 3).外部设备在 SCLK 上升沿写命令字节，CS1259B 在 SCLK 上升沿将数据从 SDA 输出；
- 4).数据字节之间的时间  $t_1$  要大于等于 2 个系统时钟周期；

5).最后一个字节的 LSB 传送完毕， $\overline{CS}$ 由低变高结束数据传输。SCLK 下降沿和 $\overline{CS}$ 上升沿之间的时间  $t_2$  要大于等于 2 个系统时钟周期；

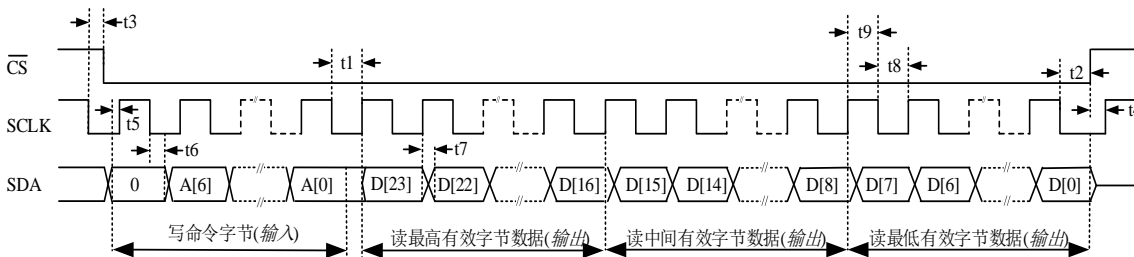


图 6-1 读操作时序 1(读 AD 值)

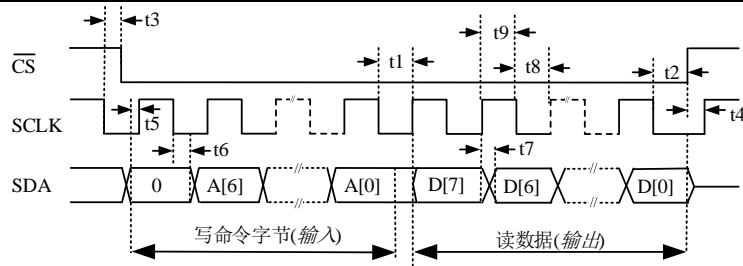


图 6-2 读操作时序 2(除 AD 值之外的寄存器)

## 6.2 写时序

工作过程:

外部设备在  $\overline{CS}$  有效后, 先通过 SDA 写入命令字节, 再写入数据字节。注意:

- 1). 以字节为单位传输, 高比特位在前, 低比特位在后;
- 2). 多字节寄存器, 先传输高字节内容, 再传输低字节内容;
- 3). 外部设备在 SCLK 上升沿写数据, CS1259B 在 SCLK 下降沿读取数据;
- 4). 数据字节之间的时间 t1 要大于等于 2 个系统时钟周期;

5). 最后一个字节的 LSB 传送完毕,  $\overline{CS}$  由低变高结束数据传输。SCLK 下降沿和  $\overline{CS}$  上升沿之间的时间 t2 要大于等于 2 个系统时钟周期。

注意: 有写保护功能的寄存器在写操作之前要先写入写使能命令。

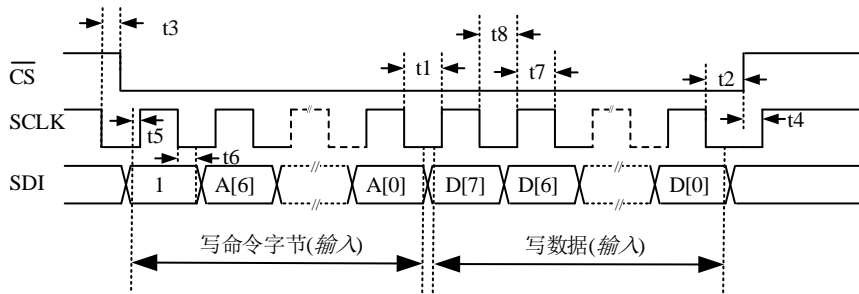


图 6-3 写操作时序

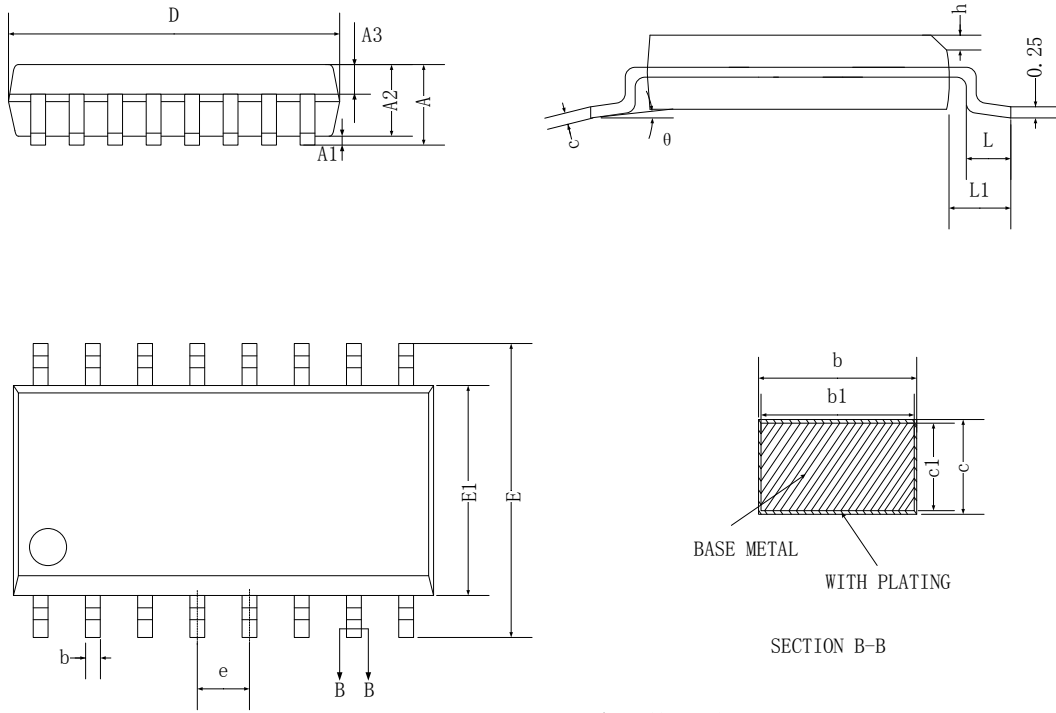
表 6-2 三线串行通讯接口时序表

(VDD=3V, GND=0V, Fosc=5.898MHz, 常温)

名称	解释	Min	Typ	Max	Unit
t1	数据字节之间 SCLK 维持低电平的时间	2*sysclk	-	-	ns
t2	最后一个 SCLK 下降沿与 CS 上升沿之间的时间间隔	2*sysclk	-	-	ns
t3	CS 下降沿之前 SCLK 保持为低的时间	5	-	-	ns
t4	CS 上升沿之后 SCLK 保持为低的时间	5	-	-	ns
t5	在 SCLK 上升沿之前, SDA 上有效数据的建立时间	5	-	-	ns
t6	在 SCLK 下降沿之后, SDA 上有效数据的保持时间	sysclk	-	-	ns
t7	在 SCLK 上升沿之后, SDO 能稳定输出所需要的时间	50	-	-	ns
t8	SCLK 的高电平宽度	2*sysclk	-	170	us
t9	SCLK 的低电平宽度	2*sysclk	-	680	us

## 7 封装

CS1259B 采用 SOP16 封装。



SOP16L产品外形图

SYMBOL SOP16L	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.48
b1	0.38	0.41	0.43
c	0.21	—	0.26
c1	0.19	0.20	0.21
D	9.70	9.90	10.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05BSC		
$\theta$	0	—	8°

图 7-1 芯片 SOP16 封装尺寸信息