

EG2124A 芯片用户手册

三相独立半桥驱动芯片

版本变更记录

版本号	日期	描述
V1.0	2019 年 11 月 11 日	EG2124A 数据手册初稿

目 录

1. 特性	1
2. 描述	1
3. 应用领域	1
4. 引脚	2
4.1 引脚定义	2
4.2 引脚描述	3
5. 结构框图	4
6. 典型应用电路	5
7. 电气特性	5
7.1 极限参数	5
7.2 典型参数	6
7.3 开关时间特性及死区时间波形图	8
8. 应用设计	8
8.1 VCC 端电源电压	8
8.2 输入逻辑信号要求和输出驱动器特性	8
8.3 自举电路	10
9. 封装尺寸	11
9.1 TSSOP20 封装尺寸	11
9.2 QFN24 封装尺寸	12

EG2124A 芯片数据手册 V1.0

1. 特性

- 高端悬浮自举电源设计，耐压可达 260V
- 集成三路独立半桥驱动
- 适应 5V、3.3V 输入电压
- 最高频率支持 500KHZ
- 低端 VCC 电压范围 7V-20V
- 输出电流能力 IO +0.8A/-1.2A
- VCC 和 VB 带欠压保护
- 内建死区控制电路
- 自带闭锁功能，彻底杜绝上、下管输出同时导通
- HIN 输入通道高电平有效，控制高端 HO 输出
- LIN 输入通道高电平有效，控制低端 LO 输出
- 封装形式：TSSOP20 和 QFN24
- 无铅无卤符合 RHOS 标准

2. 描述

EG2124A 是一款高性价比的大功率 MOS 管、IGBT 管栅极驱动专用芯片，内部集成了逻辑信号输入处理电路、死区时控制电路、欠压保护电路、闭锁电路、电平位移电路、脉冲滤波电路及输出驱动电路。

EG2124A 高端的工作电压可达 260V，低端 VCC 的电源电压范围宽 7V~20V。该芯片具有闭锁功能防止输出功率管同时导通，输入通道 HIN 和 LIN 内建了下拉电阻，在输入悬空时使上、下功率 MOS 管处于关闭状态，输出电流能力 IO +0.8A/-1.2A，采用 TSSOP20 和 QFN24 封装。

3. 应用领域

- 三相直流无刷电机驱动器

4. 引脚

4.1 引脚定义



图 4-1. EG2124A 管脚定义

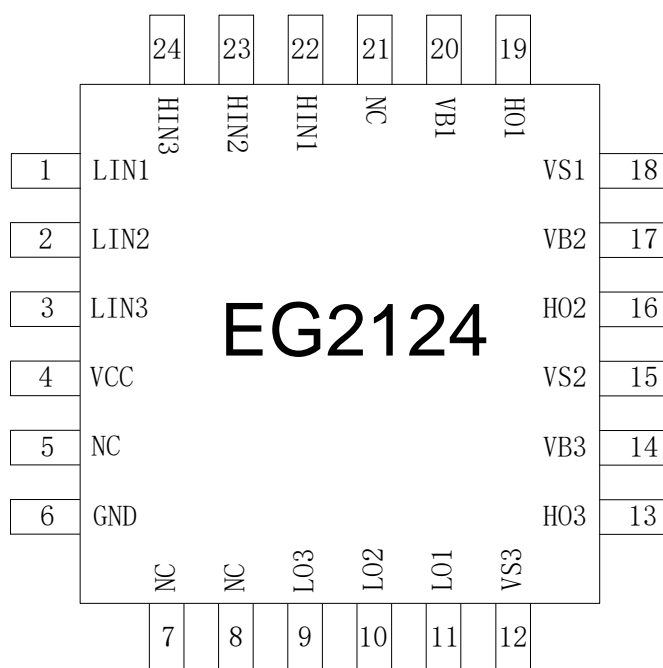


图 4-2. EG2124 管脚定义

4.2 引脚描述

引脚序号	引脚名称	I/O	描述
1, 2, 3	HIN1, HIN2, HIN3	I	逻辑输入控制信号高电平有效, 控制高端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管 “1”是开启功率 MOS 管
4, 5, 6	LIN1, LIN2, LIN3	I	逻辑输入控制信号低电平有效, 控制低端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管 “1”是开启功率 MOS 管
7	VCC	Power	模拟电源
8	GND	-	模拟电源
9, 10, 11	LO, 1LO2, LO3	O	输出控制低端 MOS 功率管的导通与截止
12, 15, 18	VS1, VS2, VS3	-	高端悬浮地端
13, 16, 19	HO1, HO2, HO3	O	输出控制高端 MOS 功率管的导通与截止
14, 17, 20	VB1, VB2, VB3	Power	高端悬浮电源

引脚序号	引脚名称	I/O	描述
22, 23, 24	HIN1, HIN2, HIN3	I	逻辑输入控制信号高电平有效, 控制高端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管 “1”是开启功率 MOS 管
1, 2, 3	LIN1, LIN2, LIN3	I	逻辑输入控制信号低电平有效, 控制低端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管 “1”是开启功率 MOS 管
4	VCC	Power	模拟电源
6	GND	-	模拟电源
9, 10, 11	LO, 1LO2, LO3	O	输出控制低端 MOS 功率管的导通与截止
12, 15, 18	VS1, VS2, VS3	-	高端悬浮地端
13, 16, 19	HO1, HO2, HO3	O	输出控制高端 MOS 功率管的导通与截止
14, 17, 20	VB1, VB2, VB3	Power	高端悬浮电源
5, 7, 8, 21	NC	-	空脚

5. 结构框图

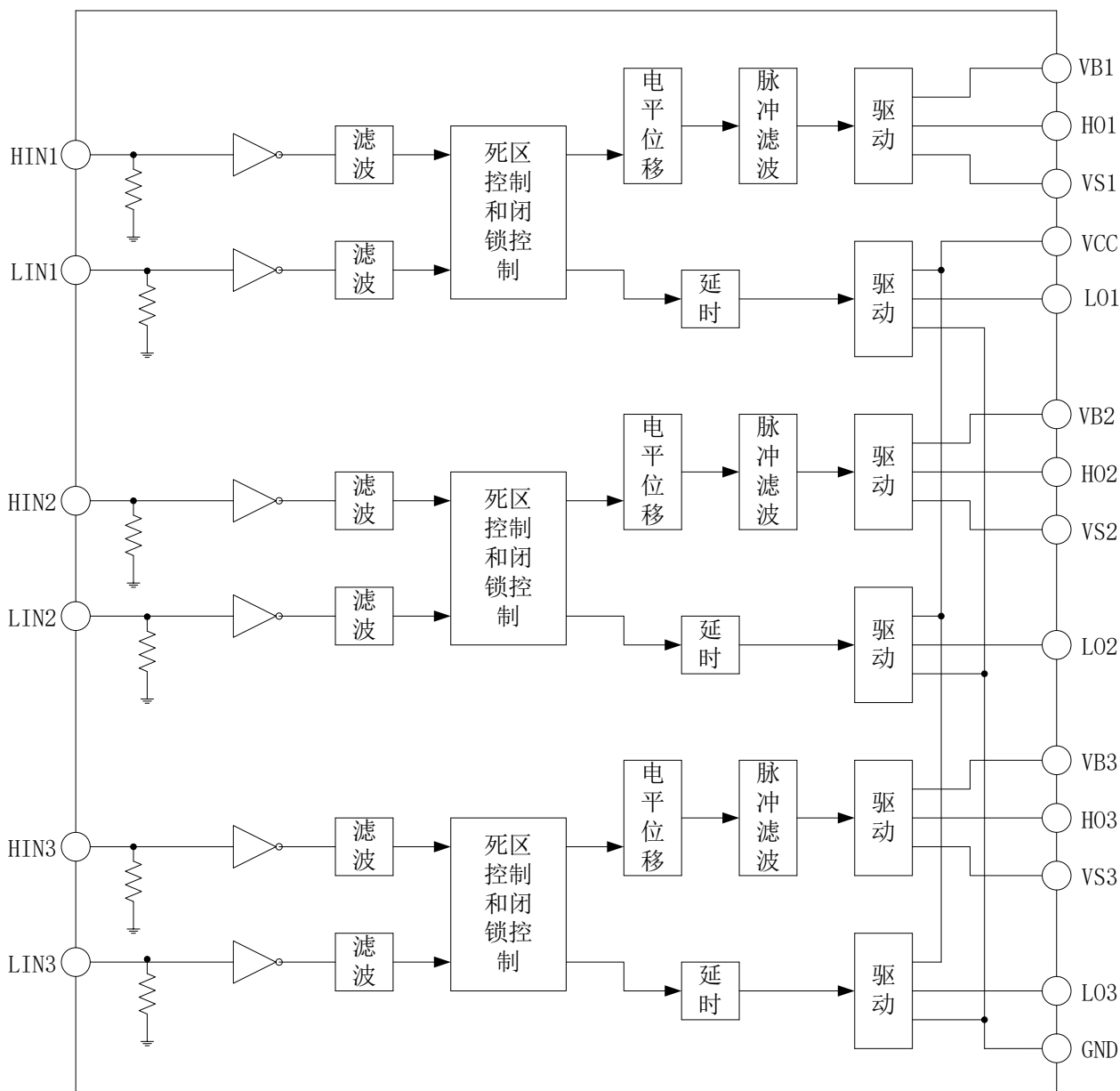


图 5-1. EG2124A 内部电路图

6. 典型应用电路

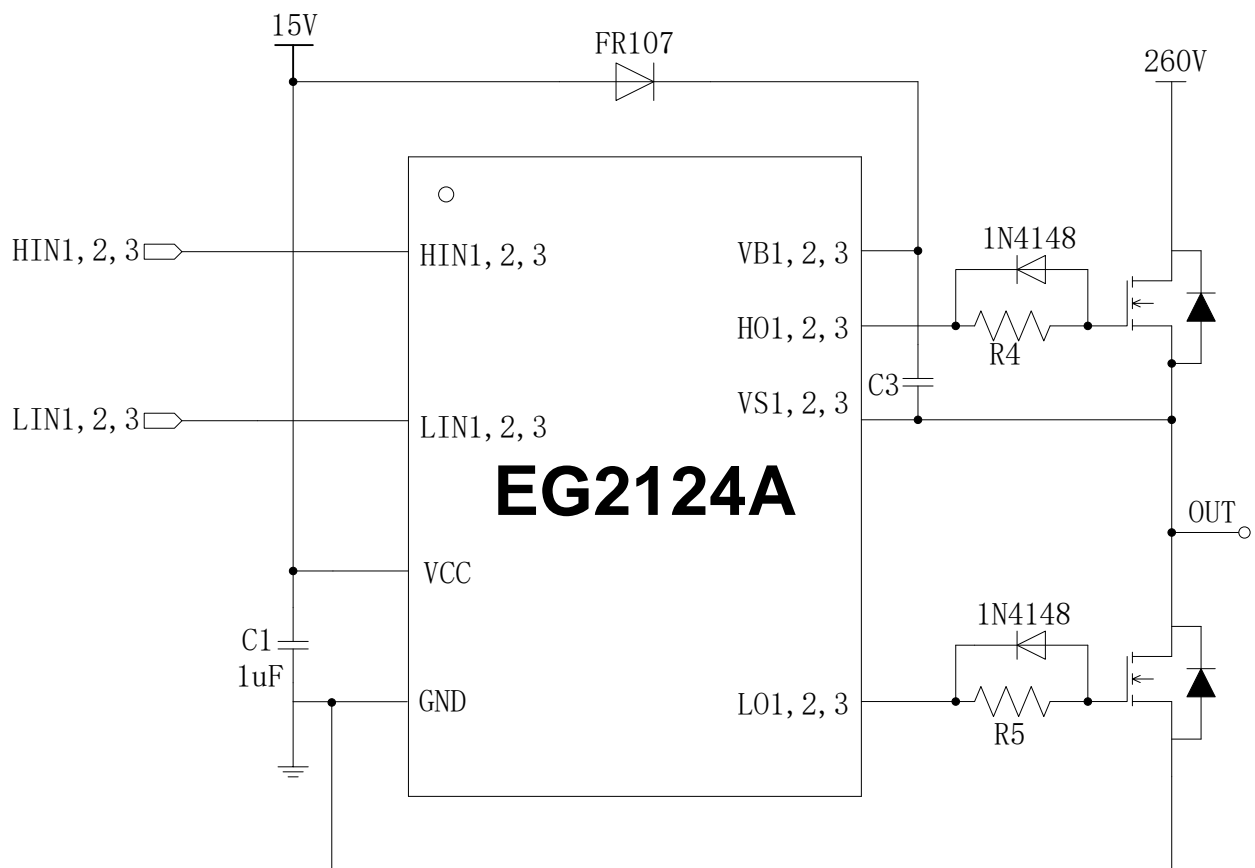


图 6-1. EG2124A 典型应用电路图

7. 电气特性

7.1 极限参数

符号	参数名称	测试条件	最小	最大	单位
自举高端 VB 电源	VB1、VB2、VB3	-	-0.3	280	V
高端悬浮地端	VS1、VS2、VS3	-	VB-25	VB+0.3	V
高端输出	HO1、HO2、HO3	-	VS-0.3	VB+0.3	V
低端输出	LO1、LO2、LO3	-	-0.3	VCC+0.3	V
电源	VCC	-	-0.3	25	V
高通道逻辑信号输入电平	HIN1、HIN2、HIN3	-	-0.3	VCC+0.3	V

低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	VCC+0.3	V
环境温度	环境温度	-	-40	125	°C
储存温度	储存温度	-	-55	150	°C
焊接温度	焊接温度	T=10S	-	300	°C

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

7.2 典型参数

无另外说明，在 $T_A=25^{\circ}\text{C}$ ， $V_{CC}=12\text{V}$ ，负载电容 $C_L=1\text{nF}$ 条件下

参数名称	符号	测试条件	最小	典型	最大	单位
电源	VDD	-	7	12	20	V
输入逻辑信号高电位	Vin(H)	所有输入控制信号	2.5	-	-	V
输入逻辑信号低电位	Vin(L)	所有输入控制信号	-0.3	0	1.0	V
输入逻辑信号高电平的电流	IN(H)	Vin=5V	-	-	20	uA
输入逻辑信号低电平的电流	IN(L)	Vin=0V	-15	-	-	uA
悬浮电源漏电流	ILK	VB1,2,3=VS1,2,3=300V	-	0.1	1	uA
VBS 静态电流	IQBS	VIN 悬空	-	20	50	uA
VBS 动态电流	IPBS	f=16KHZ	-	100	200	uA
VCC 静态电流	IQCC	VIN 悬空	-	150	350	uA
VCC 动态电流	IPCC	f=16KHZ	-	400	600	uA
VS 静态负压	VSN	-	-	-6	-	V
LIN 高电平输入偏置电流	ILINH	V _{LIN} =5V	-	20	40	uA
LIN 低电平输入偏置电流	ILINL	V _{LIN} =0V	-	-	2	uA
HIN 高电平输入偏置电流	IHINH	V _{LIN} =5V	-	20	40	uA
HIN 低电平输入偏置电流	IHINL	V _{LIN} =0V	-	-	2	uA
VCC 电源欠压关断特性						

Vcc 开启电压	Vcc(on)	-	4.7	5.7	6.7	V
Vcc 关断电压	Vcc (off)	-	4.5	5.5	6.5	V
VB 电源欠压关断特性						
VB 开启电压	VB(on)	-	4.6	5.6	6.6	V
VB 关断电压	VB (off)	-	4.5	5.5	6.5	V
输入下拉电阻	R _{IN}	-		240		K Ω
HO 下拉电阻	R _{HO}	-		70		K Ω
LO 下拉电阻	R _{LO}	-		70		K Ω
低端输出 LO、LO 开关时间特性						
开延时	T _{on}	见图 7-1	-	320	420	nS
关延时	T _{off}	见图 7-1	-	120	220	nS
上升时间	T _r	见图 7-1	-	35	70	nS
下降时间	T _f	见图 7-1	-	25	50	nS
高端输出 HO、HO 开关时间特性						
开延时	T _{on}	见图 7-2	-	320	420	nS
关延时	T _{off}	见图 7-2	-	120	220	nS
上升时间	T _r	见图 7-2	-	35	70	nS
下降时间	T _f	见图 7-2	-	25	50	nS
死区时间特性						
死区时间	DT	见图 7-3, 无负载电容 CL=0	100	200	300	nS
IO 输出最大驱动能力						
IO 输出拉电流	IO+	V _o =0V, V _{IN} =V _{IH} PW \leq 10 μ S	-	+0.8	-	A
IO 输出灌电流	IO-	V _o =12V, V _{IN} =V _{IL} PW \leq 10 μ S	-	-1.2	-	A

7.3 开关时间特性及死区时间波形图

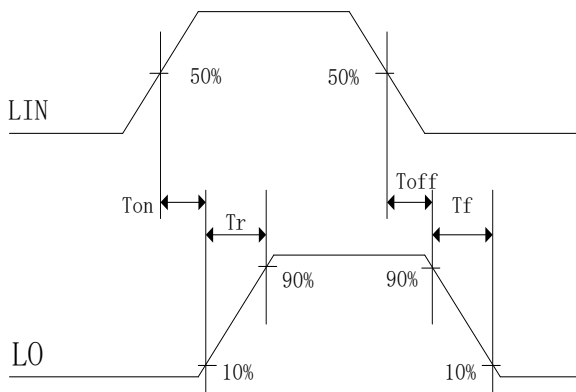


图 7-1. 低端输出 LO 开关时间波形图

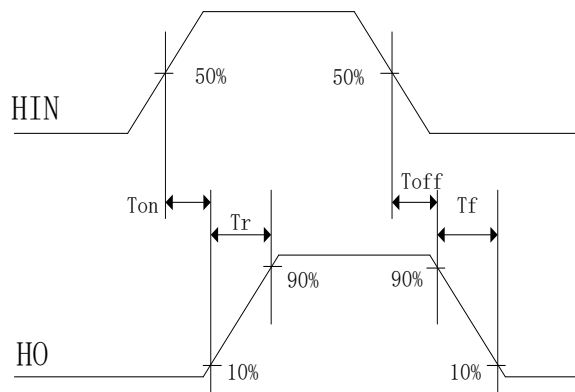


图 7-2. 高端输出 HO 开关时间波形图

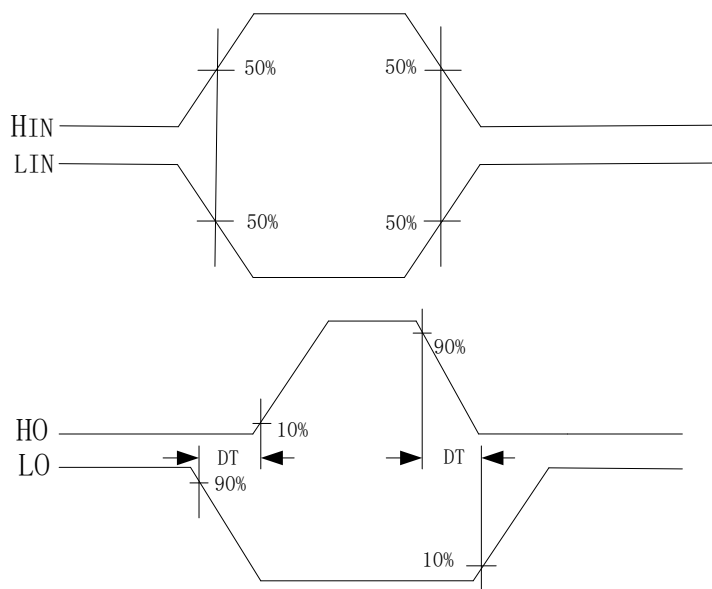


图 7-3. 死区时间波形图

8. 应用设计

8.1 VCC 端电源电压

针对不同的 MOS 管，选择不同的驱动电压，开启 MOS 管推荐电源 VCC 工作电压典型值为 7V-15V。

8.2 输入逻辑信号要求和输出驱动器特性

EG2124A 主要功能有逻辑信号输入处理、死区时间控制、电平转换功能、悬浮自举电源结构和上下桥图腾柱式输出。逻辑信号输入端高电平阈值为 2.5V 以上，低电平阈值为 1.0V 以下，要求逻辑信号的输出电流小，可以使 MCU 输出逻辑信号直接连接到 EG2124A 的输入通道上。

高端上桥臂和低端下桥臂输出驱动器的最大灌入可达 0.8A 和最大输出电流可达 1.2A，高端上桥臂通道可以承受 260V 的电压，输入逻辑信号与输出控制信号之间的传导延时小，低端输出开通传导延时为 320nS、关断传导延时为 120nS，高端输出开通传导延时为 320nS、关断传导延时为 120nS。低端输出开通的上升时间为 35nS、关断的下降时间为 25nS，高端输出开通的上升时间为 35nS、关断的下降时间为 25nS。

输入信号和输出信号逻辑功能图如图 8-2:

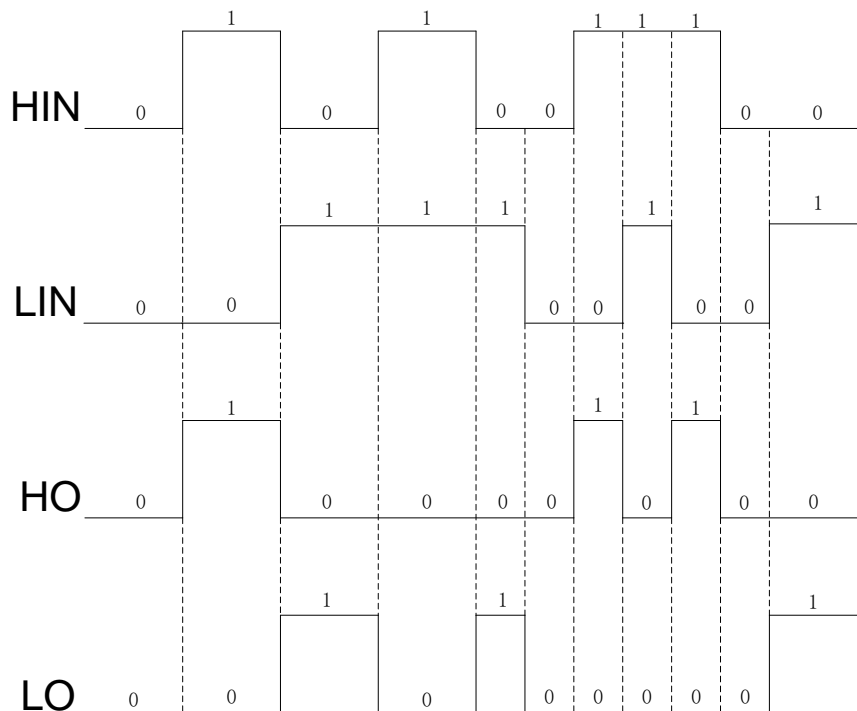


图 8-2. 输入信号和输出信号逻辑功能图

输入信号和输出信号逻辑真值表:

输入		输出	
输入、输出逻辑			
HIN	LIN	HO	LO
0	0	0	0
0	1	0	1
1	0	1	0
1	1	0	0

从真值表可知，当输入逻辑信号 HIN 为“1”和 LIN 为“0”时，驱动器控制输出 HO 为“1”上管打开，LO 为“0”下管关断；当输入逻辑信号 HIN 为“0”和 LIN 为“1”时，驱动器控制输出 HO 为“0”上管关断，LO 为“1”下管打开；在输入逻辑信号 HIN 为“1”和 LIN 为“1”或者 HIN 为“0”和 LIN 为“0”时，驱动器控制输出 HO、LO 为“0”将上、下功率管同时关断；内部逻辑处理器杜绝控制器输出上、下功率管同时导通，具有相互闭锁功能。

8.3 自举电路

EG2124A 采用自举悬浮驱动电源结构大大简化了驱动电源设计，只用一路电源电压 VCC 即可完成高端 N 沟道 MOS 管和低端 N 沟道 MOS 管两个功率开关器件的驱动，给实际应用带来极大的方便。EG2124A 可以使用外接一个自举二极管如图 8-3 和一个自举电容自动完成自举升压功能，假定在下管开通、上管关断期间 VC 自举电容已充到足够的电压（VC=VCC），当 HO 输出高电平时上管开通、下管关断时，VC 自举电容上的电压将等效一个电压源作为内部驱动器 VB 和 VS 的电源，完成高端 N 沟道 MOS 管的驱动。

自举电容 VC PCB 布局尽量靠近芯片的 VB 脚跟 VS 脚，自举电容可以选择瓷片电容或者电解电容，最小容值可按以下公式计算：

$$VC \geq 15 \cdot \frac{2 \cdot [2 \cdot Qg + Q_{period} + \frac{I_{bso}}{F} + \frac{I_{bsc}}{F}]}{V_{cc} - V_F - V_{ds}}$$

其中：Qg 为高压侧 MOS 管的栅极电荷；

Qperiod 为每个周期中电平转换电路的电荷要求，约为 5nC；

Ibso 为高压侧驱动电路打开时的静态电流；

Ibsc 为自举电容的漏电流；

F 为电路工作频率；

Vcc 为低端电源电压；

VF 为自举二极管的正向压降；

Vds 为 MOS 管需要彻底打开的 GS 电压。

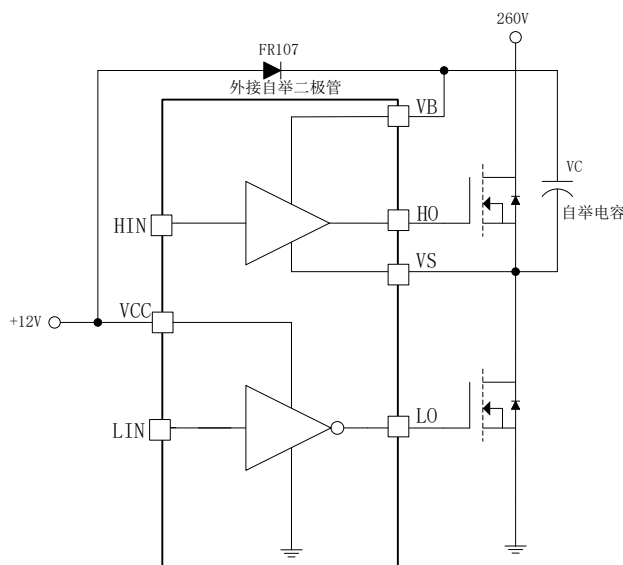
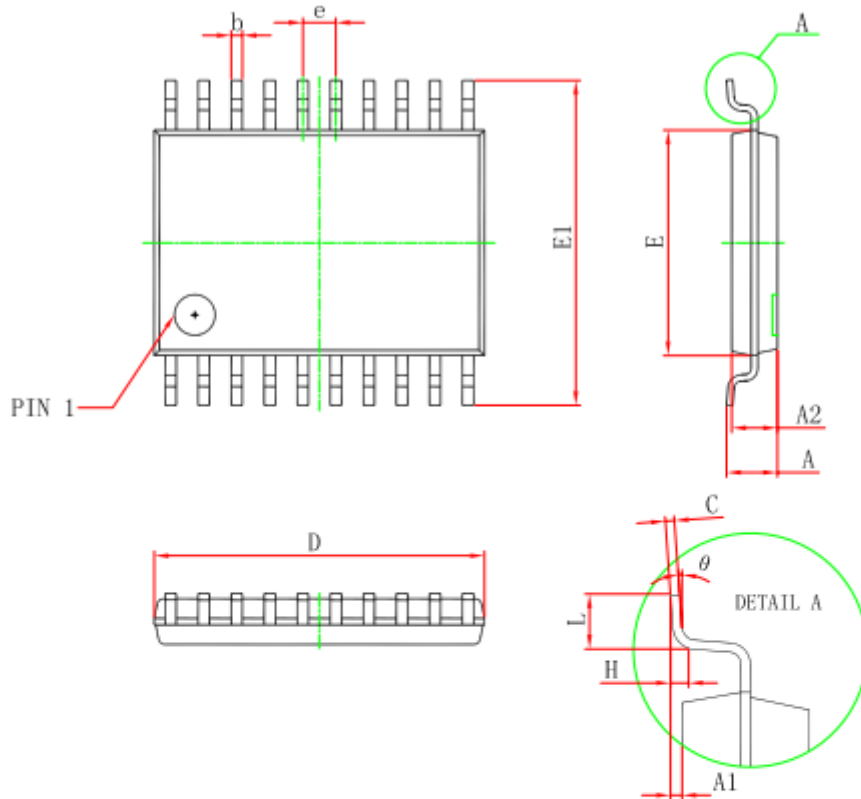


图 8-3. EG2124A 自举电路结构

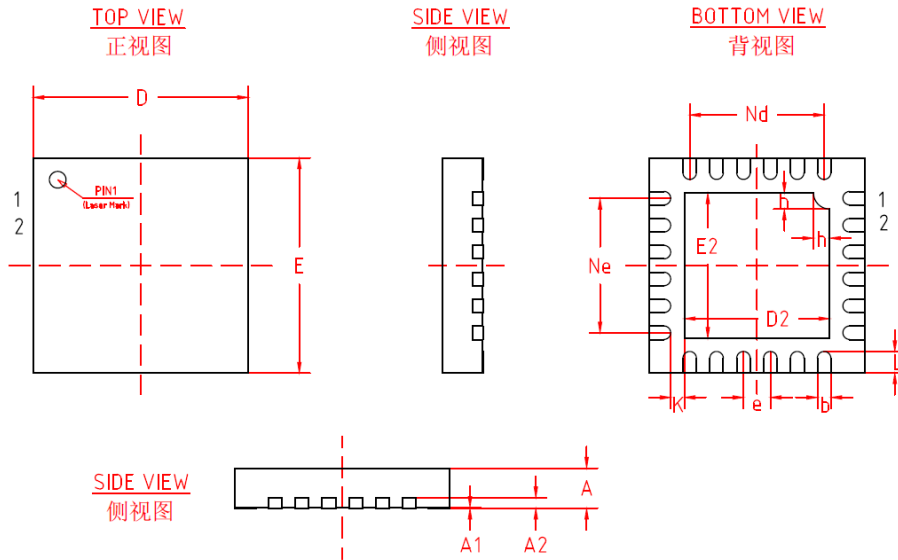
9. 封装尺寸

9.1 TSSOP20 封装尺寸



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	6.400	6.600	0.252	0.259
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
e	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65 (BSC)		0.026 (BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
θ	1°	7°	1°	7°

9.2 QFN24 封装尺寸



机械尺寸/mm			
字符 SYMBOL	最小值 MIN	典型值 NOMINAL	最大值 MAX
A	0,70	0,75	0,80
A1	-	0,02	0,05
A2	0,203 REF		
b	0,20	0,25	0,30
D	3,90	4,00	4,10
D2	2,60	2,70	2,80
E	3,90	4,00	4,10
E2	2,60	2,70	2,80
e	0,50 BSC		
K	0,20	0,25	0,30
L	0,30	0,40	0,50
h	0,25	0,30	0,35
Ne	2,50 BSC		
Nd	2,50 BSC		